

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Національний авіаційний університет

**СХЕМОТЕХНІКА ПРИСТРОЇВ ТЕХНІЧНОГО ЗАХИСТУ
ІНФОРМАЦІЇ**

Цифрова схемотехніка

Методичні вказівки до лабораторних робіт

для студентів напрямку

6.170102 «Системи технічного захисту інформації»

КИЇВ 2009

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Національний авіаційний університет

СХЕМОТЕХНІКА ПРИСТРОЇВ ТЕХНІЧНОГО ЗАХИСТУ
ІНФОРМАЦІЇ

Цифрова схемотехніка

Методичні вказівки до лабораторних робіт

для студентів напрямку

6.170102 «Системи технічного захисту інформації»

КИЇВ 2009

Загальні методичні вказівки

Лабораторні заняття є важливою складовою частиною навчального процесу, сприяють закріпленню і глибокому засвоєнню отриманих на лекціях і під час самостійного опрацювання курсу теоретичних знань.

Успішне проведення лабораторної роботи можливе лише за умови попередньої до неї підготовки. При підготовці до лабораторної роботи необхідно вивчити відповідні теоретичні розділи курсу, чітко уявляти мету, задачу і порядок виконання роботи.

Перш ніж допустити студента до самостійного виконання роботи, викладач перевіряє його готовність до роботи. Студенти, які не готові до виконання лабораторної роботи, до занять не допускаються. Експериментальна частина лабораторної роботи починається з математичного моделювання заданого електричного кола з використанням можливостей програмного пакета Electronics Workbench (EWB). Після цього складене коло показують викладачеві для перевірки. Тільки після цього доцільно приступати до виконання лабораторної роботи. Під час експерименту результати вимірювань заносять у таблиці протоколу.

Зміст звіту

Звіт повинен містити: назву й номер роботи; ціль роботи; теоретичні відомості; таблиці й схеми, що реалізують досліджувані логічні функції; таблиці переходів; таблиці даних; карти Карно; синтез схеми; синтезована схема. Біля кожної досліджуваної схеми розташувати таблицю істинності для функції, реалізованою цією схемою; виводи. У звіті лабораторної роботи повинні міститися всі принципіві схеми, що наведені в теоретичних відомостях до кожної роботи. Схеми повинні бути нарисовані відповідно до діючих у країні стандартів.

Графічні залежності потрібно будувати у звіті лабораторної роботи або на міліметровому папері. При побудові графіків бажано вибирати такі масштаби по вертикальних і горизонтальних осях, щоб вони були зручними для розміщення графічних залежностей.

Розрахунки та графіки повинні мати короткі пояснення.

ЛАБОРАТОРНАЯ РАБОТА 1

Исследование логических функций одной и двух переменных

Цель работы: Исследование логических функций одной и двух переменных. Представление переключательных функций в различных базисах.

Краткие теоретические сведения

Все устройства ЭВМ состоят из элементарных логических схем. Работа этих схем основана на законах и правилах алгебры логики, которая оперирует двумя понятиями: истинности и ложности высказывания. В соответствии с такой двоичной природой высказываний условилось называть их *логическими двоичными переменными* и обозначать **1** в случае истинности и **0** в случае ложности.

Формализация и преобразование связей между логическими переменными осуществляется в соответствии с правилами *алгебры логики* называемой *алгеброй Буля*

Две логические переменные, принимающие значение 0 или 1, могут образовывать логические функции. В алгебре логики любые функции удобно изображать в виде таблицы соответствия всех возможных комбинаций входных логических переменных и выходной логической функции, называемой *таблицей истинности*.

Функции, образованные логическими переменными, можно преобразовывать в соответствии с правилами или законами алгебры логики (табл.1.2), которая строится на основе трех логических операций (ИЛИ, И, НЕ) и отношения эквивалентности.

Таблица 1.2

Тождества для преобразования логических выражений

Логическое выражение	Формулировка
$F1 = x \wedge 0 = 0$	Логическое произведение любого аргумента на 0 равно 0
$F2 = x \wedge 1 = x$	Логическое произведение любого аргумента на 1 равно значению аргумента
$F3 = x \wedge x = x$	Логическое произведение одних и

	тех же аргументов равно аргументу
$F4 = x \wedge \bar{x} = 0$	Логическое произведение аргумента с его инверсией равно 0
$F5 = x + 0 = x$	Логическая сумма любого аргумента с 0 равна аргументу
$F6 = x + 1 = 1$	Логическая сумма любого аргумента с 1 равна 1
$F7 = x + x = x$	Логическая сумма аргумента с самим собой равна аргументу
$F8 = x + \bar{x} = 1$	Логическая сумма аргумента с его инверсией равна 1
$F9 = \bar{\bar{x}} = x$	Двойная инверсия аргумента дает его истинное значение
$F10 = x1 \wedge x2 = x2 \wedge x1$	Переместительный закон
$F11 = x1 + x2 = x2 + x1$	Переместительный закон
$F12 = (x1 \wedge x2) \wedge x3 = x1 \wedge (x2 \wedge x3)$	Сочетательный закон
$F13 = (x1 + x2) + x3 = x1 + (x2 + x3)$	Сочетательный закон
$F14 = x1 \wedge (x2 + x3) = x1 \wedge x2 + x1 \wedge x3$	Раскрытие скобок
$F15 = x1 + (x2 \wedge x3) = (x1 + x2) \wedge (x1 + x3)$	Исключенное третье
$F16 = x1 + x1 \wedge x2 = x1$	Поглощение
$F17 = x1 + \bar{x1} \wedge x2 = x1 + x2$	Поглощение
$F18 = \overline{x1 \wedge x2} = \bar{x1} + \bar{x2}$	1 правило де Моргана
$F19 = \overline{x1 + x2} = \bar{x1} \wedge \bar{x2}$	2 правило де Моргана

Зависимость выходных переменных y_i , выраженная через совокупность входных переменных x_i с помощью операций алгебры логики, носит название **переключательных функций (ПФ)**.

Задать **ПФ** – это значит определить значения функции y_i для всех возможных комбинаций переменных x_i .

Набор простейших функций, с помощью которых можно выразить любые ПФ, называется функционально полным или логическим базисом. Функционально полными являются 3 базиса: «И, ИЛИ, НЕ»; «Н-НЕ»; «ИЛИ-НЕ».

Порядок выполнения работы

1. Соберите (или используйте библиотечную) двухвходовую схему, реализующую логическую функцию y_1 (в табл. 1.2 приведен полный перечень функций двух аргументов). Для реализации функций необходимо использовать формулы их преобразования (табл. 1.1).

Таблица 1.2

Полный перечень логических функций двух аргументов

x_1	0	0	1	1	Название функции	Обозначение и логическое выражение
x_2	0	1	0	1		
y_0	0	0	0	0	Постоянный 0	$y_0=0$
y_1	0	0	0	1	Конъюнкция	$y_1 = x_1 x_2 = \bar{\delta}_1 \wedge \bar{\delta}_2$
y_2	0	0	1	0	Запрет по X_2	$y_2 = x_1 \leftarrow x_2 = x_1 \bar{x}_2$
y_3	0	0	1	1	Повторение x_1	$y_3 = x_1$
y_4	0	1	0	0	Запрет по X_1	$y_4 = x_2 \leftarrow x_1 = \bar{x}_1 x_2$
y_5	0	1	0	1	Повторение x_2	$y_5 = x_2$
y_6	0	1	1	0	Исключающее ИЛИ (неравнозначность; сумма по модулю 2)	$y_6 = x_1 \oplus x_2 = \bar{x}_1 x_2 \vee x_1 \bar{x}_2$
y_7	0	1	1	1	Дизъюнкция	$y_7 = x_1 \vee x_2 = \bar{\delta}_1 + \bar{\delta}_2$
y_8	1	0	0	0	Стрелка Пирса (ИЛИ-НЕ)	$y_8 = x_1 \downarrow x_2 = \overline{x_1 \vee x_2}$
y_9	1	0	0	1	Эквивалентность (равнозначность)	$y_9 = x_1 \sim x_2 = \bar{x}_1 \bar{x}_2 \vee x_1 x_2$
y_{10}	1	0	1	0	Инверсия x_2	$y_{10} = \bar{x}_2$
y_{11}	1	0	1	1	Импликация от X_2 к X_1	$y_{11} = x_2 \rightarrow x_1 = x_1 \vee \bar{x}_2$
y_{12}	1	1	0	0	Отрицание x_1	$y_{12} = \bar{x}_1$
y_{13}	1	1	0	1	Импликация от X_1 к X_2	$y_{13} = x_1 \rightarrow x_2 = \bar{x}_1 \vee x_2$
y_{14}	1	1	1	0	Штрих Шеффера (И-НЕ)	$y_{14} = x_1 x_2 = \overline{x_1 x_2}$
y_{15}	1	1	1	1	Постоянная 1	$y_{15} = 1$

2. Проверьте работу схемы и составьте таблицу истинности, подавая на входы схемы все возможные комбинации входных переменных (00, 01, 10, 11).

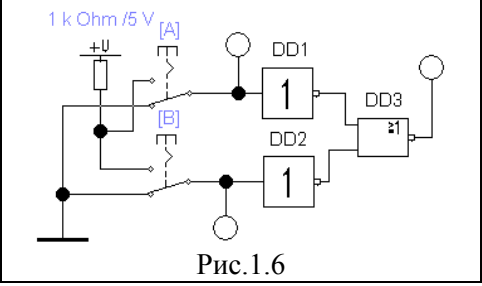
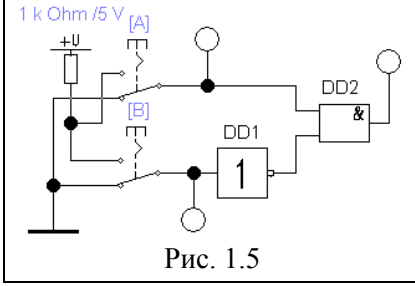
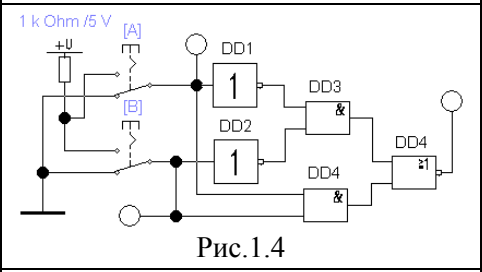
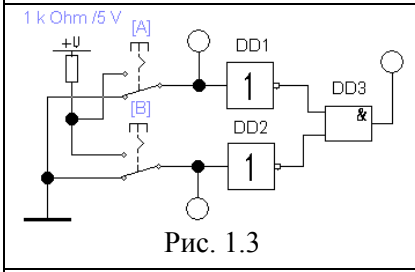
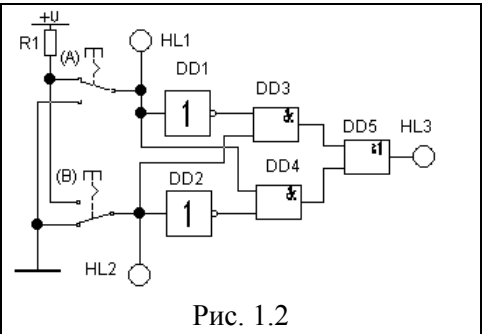
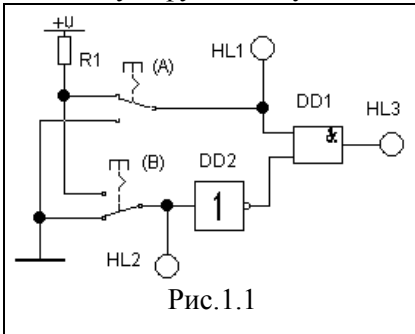
3. Нарисуйте схему проверяемой функции (по ГОСТ 2.743-82).

4. Повторите пункты 1-3 для функций $y_6 - y_{14}$ (табл. 1.2).

5. Соберите схему (рис. 1.1). Повторите п.2. Приведите диаграммы входных и выходных сигналов («1» - +5В; «0» - 0В). Запишите логическую функцию.

6. Повторите п. 5 для схем, приведенных на рис.1.2-1.6.

7. Соберите в трех базисах схемы, реализующие следующую логическую функцию $y_2 = \overline{x_1 x_2} + x_2 \cdot x_4 + x_2 \cdot x_3$.



Контрольные вопросы

1. Что такое переключательная функция?
2. Назовите примеры функционально полных систем логических функций?
3. Что такое таблица истинности?
4. Сколько существует различных булевых функций трех переменных?
5. Приведите таблицы истинности для следующих логических функций: **ИЛИ**, **Исключающее ИЛИ**, **И**, **ИЛИ-НЕ**, **И-НЕ**.
6. Нарисуйте в базисе И-НЕ переключательную функцию $f = \overline{x_1 x_2} + x_2 \cdot x_3 + x_2 \cdot x_3$.

ЛАБОРАТОРНАЯ РАБОТА 2

Исследование комбинационных логических схем

Цель работы: Синтез комбинационных схем в различных логических базисах. Овладение методом минимизации переключательных функций с помощью карт Карно.

Краткие теоретические сведения

Преобразование информации в ЦВМ производится логическими схемами двух классов: комбинационными схемами и цифровыми автоматами.

В комбинационных схемах (КС) совокупность выходных сигналов (выходное слово Y) в дискретный момент времени t_i однозначно определяется только входными сигналами (X_1, X_2, \dots, X_n), поступившими на входы в тот же дискретный момент времени.

Закон функционирования КС определен, если задано соответствие между словами ее входного и выходного алфавитов, например, в аналитической форме.

$$Y_i = f_i(x_1, x_2, \dots, x_n)$$

Функции $f_1 \dots f_m$ называются булевыми, если все X_i и Y_i могут принимать только два значения (0 и 1).

Цифровой автомат обязательно содержит память, состоящую из запоминающих элементов. КС не содержит запоминающих элементов. Поэтому ее называют автоматом без памяти.

Техническим аналогом булевой функции является комбинационная схема, выполняющая соответствующее этой функции преобразование

информации. Элементарные логические операции над двоичными переменными реализуются электронными схемами, которые называются логическими элементами. Число входов логического элемента соответствует числу аргументов воспроизводимой им булевой функции.

Существуют различные способы задания или представления булевых функций: словесный, табличный, алгебраический.

Применяют две алгебраические формы представления функций.

Дизъюнктивная нормальная форма (ДНФ) представляет собой логическую сумму элементарных логических произведений, в каждое из которых аргумент или его отрицание входят не более одного раза. В **совершенной дизъюнктивной нормальной форме (СДНФ)** каждое слагаемое содержит все переменные или их отрицания.

Переход от таблицы истинности к СДНФ можно осуществить следующим путем. Для каждого набора, на котором функция равна единице (минтерм - конституента единицы) записывается элементарное произведение всех аргументов, причем, если аргумент в этом наборе принимает значение "0", то пишется его отрицание. Затем производится логическое сложение этих элементарных произведений (минтермов).

Другая алгебраическая форма – **совершенная конъюнктивная нормальная форма (СКНФ)** представляет собой логическое произведение элементарных логических сумм, в каждую из которых входят все переменные или их отрицания.

Переход от таблицы истинности к СКНФ можно осуществить следующим путем. Для каждого набора, на котором функция равна нулю (макстерм - конституента нуля) записывается элементарная сумма всех аргументов (если аргумент в этом наборе принимает значение "1", то пишется его отрицание). Затем производится логическое умножение этих элементарных сумм (макстермов).

Минимизация переключательных функций (ПФ)

Для функций, содержащих не более пяти переменных, наиболее эффективным способом нахождения минимальной ДНФ является применение карт Карно (диаграмм Вейча).

Карта Карно для функций, зависящих от n переменных, представляет собой прямоугольник, разделенный на 2^n клеток. Каждой клетке карты ставится в соответствие двоичный n -мерный набор. Взаимно однозначное соответствие между двоичными наборами и клетками карты устанавливается разметкой последней.

В каждой клетке изображается один из возможных минтермов.

Процесс получения минимальной ДНФ (МДНФ) функции сводится к объединению в группы соседних клеток карты (соседних по вертикали и горизонтали), в которых записаны единицы. Соседними считаются также клетки верхнего и нижнего рядов карты и клетки крайнего левого и крайнего правого рядов.

Порядок выполнения работы

1. По заданному преподавателем варианту ПФ (из табл.2.2) синтезируйте комбинационную схему на указанных в таблице элементах. Для этого необходимо:

- представьте переключательную функцию в табличной форме;
- с помощью карты Карно минимизируйте переключательную функцию для представления ее в СКНФ или СДНФ.

Карту Карно представьте в соответствии с разметкой, приведенной на рис. 2.1.

x_1 x_2 x_3 x_4	00	01	11	10
00	$\overline{x_1}\overline{x_2}\overline{x_3}\overline{x_4}$	$\overline{x_1}\overline{x_2}\overline{x_3}x_4$	$\overline{x_1}\overline{x_2}x_3\overline{x_4}$	$\overline{x_1}\overline{x_2}x_3x_4$
01	$\overline{x_1}\overline{x_2}x_3\overline{x_4}$	$\overline{x_1}\overline{x_2}x_3x_4$	$x_1\overline{x_2}\overline{x_3}\overline{x_4}$	$x_1\overline{x_2}\overline{x_3}x_4$
11	$\overline{x_1}x_2\overline{x_3}\overline{x_4}$	$\overline{x_1}x_2\overline{x_3}x_4$	$x_1x_2\overline{x_3}\overline{x_4}$	$x_1x_2\overline{x_3}x_4$
10	$\overline{x_1}x_2x_3\overline{x_4}$	$\overline{x_1}x_2x_3x_4$	$x_1x_2x_3\overline{x_4}$	$x_1x_2x_3x_4$

Рис. 2.1. Карты Карно для функции четырех переменных

- нарисуйте на заданных элементах синтезированную схему.

Таблица 2.2

Вариант	Переключательная функция	Форма	Тип элементов
1	$y = \Sigma(2, 5, 8, 11, 12, 13, 15)$	СКНФ	ИЛИ-НЕ
2	$y = \Sigma(0, 2, 4, 7, 13, 11)$	СДНФ	И-НЕ

3	$y = \Sigma(0, 1, 2, 6, 7, 12, 13)$	СКНФ	И-НЕ
4	$y = \Sigma(0, 1, 4, 8, 9, 10, 11)$	СДНФ	ИЛИ-НЕ
5	$y = \Sigma(1, 2, 4, 8, 9, 13, 14)$	СКНФ	ИЛИ-НЕ
6	$y = \Sigma(1, 2, 3, 4, 10, 11, 14)$	СДНФ	И-НЕ
7	$y = \Sigma(0, 2, 6, 7, 12, 13, 14)$	СКНФ	И-НЕ
8	$y = \Sigma(2, 4, 5, 6, 10, 11, 12)$	СДНФ	ИЛИ-НЕ
9	$y = \Sigma(2, 5, 8, 11, 12, 13, 15)$	СКНФ	ИЛИ-НЕ
10	$y = \Sigma(1, 2, 3, 5, 6, 8, 9, 10)$	СДНФ	И-НЕ
11	$y = \Sigma(1, 2, 4, 8, 9, 13, 14)$	СКНФ	И-НЕ
12	$y = \Sigma(1, 4, 6, 10, 11, 12, 15)$	СДНФ	ИЛИ-НЕ
13	$y = \Sigma(0, 2, 5, 7, 12, 13, 14)$	СКНФ	ИЛИ-НЕ
14	$y = \Sigma(1, 2, 3, 4, 12, 14)$	СДНФ	И-НЕ
15	$y = \Sigma(1, 2, 4, 10, 11, 12, 14)$	СКНФ	И-НЕ
16	$y = \Sigma(0, 1, 2, 8, 9, 13, 14)$	СДНФ	ИЛИ-НЕ
17	$y = \Sigma(0, 2, 3, 9, 10, 11, 14, 15)$	СКНФ	ИЛИ-НЕ
18	$y = \Sigma(0, 1, 3, 6, 8, 9, 12, 14)$	СДНФ	И-НЕ
19	$y = \Sigma(1, 2, 3, 4, 5, 8, 15)$	СКНФ	И-НЕ
20	$y = \Sigma(4, 5, 6, 7, 12, 13, 15)$	СДНФ	ИЛИ-НЕ
21	$y = \Sigma(0, 2, 5, 7, 12, 13, 14)$	СКНФ	ИЛИ-НЕ
22	$y = \Sigma(0, 7, 8, 9, 13, 14, 15)$	СДНФ	И-НЕ
23	$y = \Sigma(1, 2, 4, 10, 11, 12, 14)$	СКНФ	И-НЕ
24	$y = \Sigma(1, 2, 4, 8, 9, 13, 14)$	СДНФ	ИЛИ-НЕ
25	$y = \Sigma(2, 5, 8, 11, 12, 13, 15)$	СКНФ	ИЛИ-НЕ

2. Соберите синтезированную схему.

3. Проверьте правильность работы схемы по таблице истинности, подавая на ее входы все возможные комбинации входных переменных.

Контрольные вопросы

1. В какой форме (НДФ, СКНФ, НКФ, СМКФ) представлены приведенные ниже логические функции?

$$F1 = X \cdot Y \cdot Z + X \cdot \bar{Y} + \bar{X} \cdot Y,$$

$$F2 = X \cdot Y \cdot Z + X \cdot \bar{Y} \cdot \bar{Z},$$

$$F3 = (\bar{X} + \bar{Y}) \wedge (X + \bar{Y}),$$

$$F4 = (\bar{X} + Z) \wedge (\bar{X} + \bar{Y} + Z) \wedge (\bar{X} + \bar{Y} + \bar{Z})$$

- Выделите в приведенных в п.1 логических функциях минтермы и макстермы.
- Минимизируйте с помощью теорем алгебры логики следующие ПФ:

$$Y1 = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot \overline{X_2}$$

$$Y2 = (\overline{\overline{X_1} \wedge X_2}) \wedge (X_1 + \overline{X_2})$$
- Минимизируйте с помощью карты Карно ПФ Y1, представленную в п.3.
- Представьте результат минимизации ПФ по данной ниже карте Карно.

	$\overline{X_1} \ \overline{X_2}$	$\overline{X_1} \ X_2$	$X_1 \ \overline{X_2}$	$X_1 \ X_2$
$\overline{X_3} \ \overline{X_4}$	1	0	1	1
$\overline{X_3} \ X_4$	0	0	0	0
$X_3 \ \overline{X_4}$	0	1	0	0
$X_3 \ X_4$	1	1	1	1

ЛАБОРАТОРНАЯ РАБОТА 3

Исследование работы шифраторов и дешифраторов

Цель работы: Изучить назначение и принцип работы шифраторов и дешифраторов. Синтез комбинационных схем с использованием дешифраторов.

Краткие теоретические сведения

Дешифратор (decoder) - комбинационное цифровое устройство с n входами и 2^n выходами (если дешифратор полный), осуществляющее преобразование входного двоичного n -разрядного числа в сигнал "1" ("0") только на одном соответствующем входному числу выходе. Дешифратор распознаёт числа, представленные позиционным n -разрядным кодом. Распознавание дешифратором двоичных чисел заключается в том, что в зависимости от номера набора, поступившего на его вход, сигнал 1 появится только на одном определенном выходе, а на всех остальных выходах будут сигналы 0 (такой код называют унитарным, поэтому дешифратор - это преобразователь позиционного двоичного кода в унитарный). Функционирование дешифратора описывается системой логических выражений вида:

$$y = m_i; i = 0, \dots, 2^n - 1,$$

где m_i - минтерм n -входных переменных.

Дешифраторы могут быть полными и неполными. У полного дешифратора n входам соответствует 2^n выходов. У неполного дешифратора число выходов $N < 2^n$. По способу организации дешифрации двоичного кода дешифраторы подразделяют на ступенчатые (линейные) и многоступенчатые - (пирамидальные, матричные).

Условное графическое обозначение дешифратора приведено на рис.3.1.

Шифратор - это логическое устройство, выполняющее преобразование позиционного кода в n разрядный двоичный код. Таким образом, шифратор - это комбинационное устройство, реализующее обратную дешифратору функцию.

Полный двоичный шифратор имеет 2^n входов и n выходов. Одно из основных применений шифратора - ввод данных с клавиатуры, при котором нажатие любой клавиши с десятичной цифрой должно приводить к передаче в устройство двоичного кода данной цифры.

Условное графическое обозначение дешифратора приведено на рис.3.2.

$$\begin{aligned}
 Z_0 &= \overline{X_3} \overline{X_2} \overline{X_1} \\
 Z_1 &= \overline{X_3} \overline{X_2} X_1 \\
 Z_2 &= \overline{X_3} X_2 \overline{X_1} \\
 Z_3 &= \overline{X_3} X_2 X_1 \\
 Z_4 &= X_3 \overline{X_2} \overline{X_1} \\
 Z_5 &= X_3 \overline{X_2} X_1 \\
 Z_6 &= X_3 X_2 \overline{X_1} \\
 Z_7 &= X_3 X_2 X_1
 \end{aligned}$$

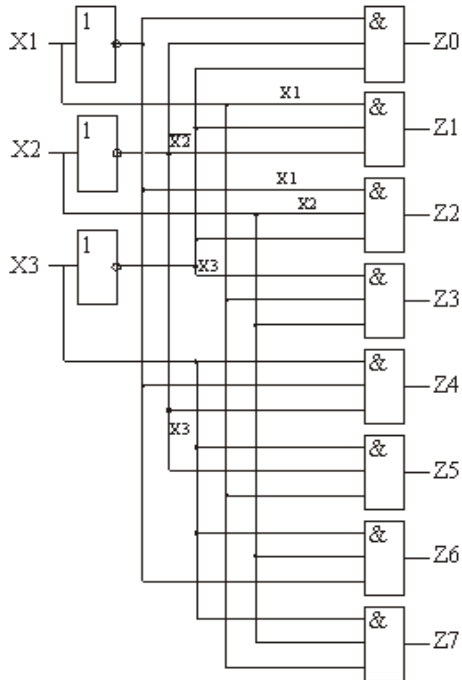


Рис.3.3. Принципова схема лінійного дешифратора

Експеримент 2. Исследование работы шифратора

1. Соберите схему шифратора, приведенную на рис.3.4.
2. Подавайте на входы шифратора $X_0 \dots X_9$ логические единицы последовательно (но только на один из ключей т.е. сперва на нулевой, потом на первый, второй и т.д.), в соответствии с табл.3.2.
3. Результаты $Y_0 \dots Y_3$ занесите в табл. 3.2.

Таблица 3.2

Входы X Десятичное число	Выходы			
	Двоичный код			
	Y_3	Y_2	Y_1	Y_0
0				
1				
2				
⋮				
9				

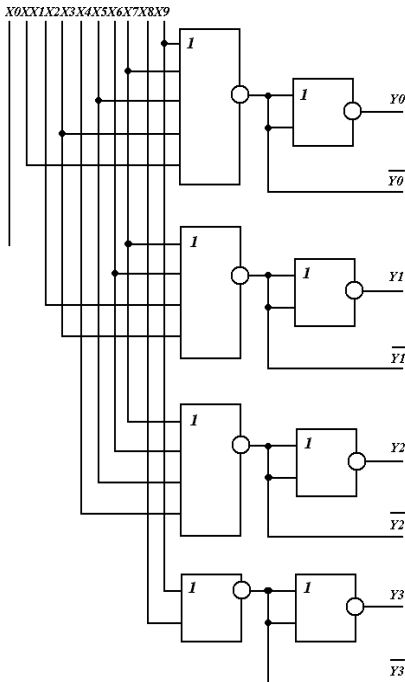


Рис 3.4. Схема шифратора на элементах АБО - НЕ.

Эксперимент 3. Реализация ПФ на дешифраторе

Разработайте, соберите и испытайте на основе дешифраторов 3x8 **три** схемы, реализующие заданную преподавателем функцию **F** (табл.3.3).

Таблица 3.3

Вариант	Функция F
1.	$F = D \cdot \overline{C} \cdot \overline{A} + D \cdot C \cdot A + \overline{D} \cdot \overline{A}$
2.	$F = \overline{D} \cdot \overline{B} \cdot \overline{A} + D \cdot B + D \cdot B \cdot A$
3.	$F = \overline{D} \cdot \overline{C} \cdot B + D \cdot \overline{C} \cdot \overline{B} + D \cdot C \cdot B$
4.	$F = \overline{D} \cdot \overline{C} \cdot B + \overline{D} \cdot \overline{C} \cdot \overline{B} + D \cdot C \cdot B$
5.	$F = \overline{D} \cdot \overline{C} \cdot \overline{B} + D \cdot \overline{C} + D \cdot C \cdot \overline{B}$
6.	$F = \overline{C} \cdot B \cdot \overline{A} \vee C \cdot B \cdot A \vee \overline{B} \cdot \overline{A}$
7.	$F = \overline{C} \cdot \overline{B} \cdot A \vee C \cdot \overline{B} \cdot \overline{A} \vee \overline{C} \cdot B \cdot \overline{A}$
8.	$F = \overline{C} \cdot \overline{B} \cdot A \vee C \cdot \overline{B} \cdot A \vee C \cdot \overline{B} \cdot \overline{A}$

9.	$F = \overline{C} \cdot \overline{B} \cdot A \vee B \cdot A \vee C \cdot B$
10.	$F = C \cdot \overline{A} \vee \overline{B} \cdot A \vee \overline{C} \cdot A$
11.	$F = \overline{C} \cdot B \cdot \overline{A} \vee C \cdot B \cdot A \vee \overline{B} \cdot \overline{A}$
12.	$F = \overline{B} \cdot \overline{A} \vee \overline{B} \cdot C \vee \overline{C} \cdot B \cdot A$
13.	$F = \overline{B} \cdot C \vee \overline{C} \cdot A$
14.	$F = \overline{C} \cdot \overline{B} \cdot A \vee C \cdot \overline{B} \cdot \overline{A} \vee \overline{C} \cdot B \cdot \overline{A}$
15.	$F = \overline{C} \cdot \overline{B} \cdot A \vee C \cdot \overline{B} \cdot A \vee C \cdot \overline{B} \cdot \overline{A}$
16.	$F = \overline{C} \cdot \overline{B} \cdot A \vee B \cdot A \vee C \cdot B$
17.	$F = C \cdot \overline{A} \vee \overline{B} \cdot A \vee \overline{C} \cdot A$
18.	$F = \overline{B} \cdot C \vee \overline{C} \cdot A$
19.	$F = B \vee \overline{C} \cdot \overline{A}$
20.	$F = C \cdot \overline{A} \vee \overline{B} \cdot A \vee \overline{C} \cdot A$

Контрольные вопросы

7. Что такое дешифратор?
8. Какие логические функции выполняет дешифратор?
9. Как на основе дешифратора сделать логическую схему, реализующую функцию $F = A \cdot B \vee \overline{A} \cdot \overline{B}$?
10. Как из двух дешифраторов **2x4** сделать один дешифратор **3x8**?
11. Какие логические функции выполняет шифратор?
12. Приведите примеры применения шифраторов и дешифраторов.

ЛАБОРАТОРНА РОБОТА № 4

Дослідження роботи мультиплексорів і демультиплексорів

Ціль роботи: Досліджувати схеми мультиплексорів (МС) і демультиплексорів (ДМС) на логічних елементах і в інтегральному виконанні. Синтез комбінаційних схем з використанням мультиплексорів.

Короткі теоретичні відомості

Мультиплексор (МС) – комбінаційна схема з декількома входами й одним виходом (це комутатор сигналів з декількох входів на один вихід). Входи мультиплексора діляться на інформаційні, адресні й стробирующие (розв'язні). З інформаційних входів (D) інформація передається на вихід мультиплексора. Номер інформаційного входу у визначається за допомогою адресних входів. Кількість інформаційних входів (N) пов'язане з кількістю адресних входів (n): $N=2^n$. Наприклад, якщо в мультиплексора три адресних входи, то $N=8$ (говорять, що це мультиплексор «8 → 1»). На стробирующие входи (V) подаються сигнали, що дозволяють підключення обраного входу до виходу.

Роботу МС з n входами можна описати наступним вираженням:

$$Y = \overline{V} \sum_{i=0}^{2^n-1} m_i D_i, \quad (4.1)$$

де Σ - знак логічної суми, m_i - мінтерми адресних змінних, D_i - входи даних, \overline{V} – стробирующий сигнал (звичайно управляють подачею нуля).

Логіка функціонування МС для $n=2$ описується табл. 4.1.

Таблиця 4.1.

Входи			Вихід
V	A_2	A_1	Y
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3
1	x	x	0

Використовуючи вираження (4.1) або табл.4.1, одержуємо вираження для вихідної функції:

$$Y = \overline{V}(D_0 \overline{A_2} \overline{A_1} \vee D_1 \overline{A_2} A_1 \vee D_2 A_2 \overline{A_1} \vee D_3 A_2 A_1). \quad (4.2)$$

МС можна реалізувати в заданому базисі (наприклад, у базисі І-НЕ, як на мал.4.1,а). Якщо врахувати, що комбінації сигналів керування в МС ($A_2 A_1$) і дешифраторі однакові, то МС можна побудувати на дешифраторі (мал.4.1,б). Умовна позначка МС наведена на мал.4.1,в).

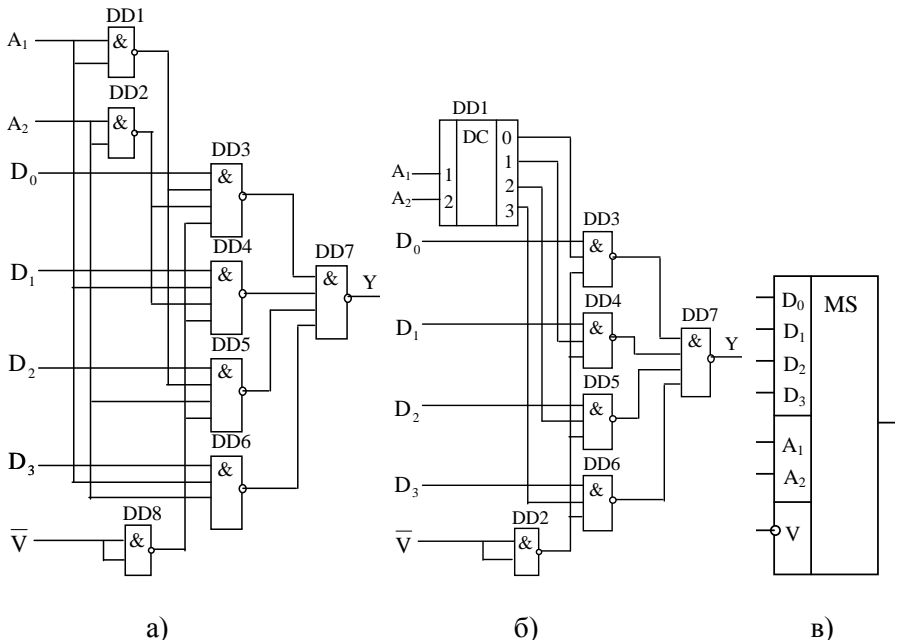


Рис.4.1.Схема мультимплексора в базисі І-НЕ (а); схема мультимплексора на логічних елементах і дешифраторі (б); умовне графічне позначення мультимплексора (в)

У демультимплексорах (ДМС) сигнали з одного інформаційного входу розподіляються в необхідній послідовності по декількох виходах. Необхідний номер виходу здійснюється кодом на адресних лініях. ДМС може мати $N=2^n$ виходів, якщо в нього n адресних входів.

Вихідні функції ДМС «1 → N» мають вигляд:

$$Y_i = X m_i, \quad (4.3)$$

де X – сигнал у входній лінії; m_i – мінтерм n адресних змінних.

Логіка функціонування ДМС для $n=2$ описується табл. 4.2.

Таблиця 4.2

A_2	A_1	Y_0	Y_1	Y_2	Y_3
0	0	X	0	0	0
0	1	0	X	0	0
1	0	0	0	X	0
1	1	0	0	0	X

Використовуючи вираження (4.3) або табл.4.2, одержуємо вираження для вихідних функцій:

$$Y_0 = X\bar{A}_2\bar{A}_1, \quad Y_1 = X\bar{A}_2A_1, \quad Y_2 = XA_2\bar{A}_1, \quad Y_3 = XA_2A_1.$$

Схема демультиплектора наведена на мал. 4.2.

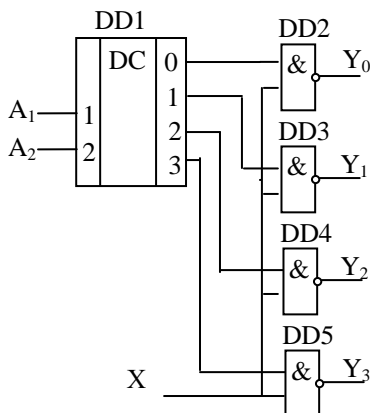


Рис.4.2.Схема демультиплектора «1-4»

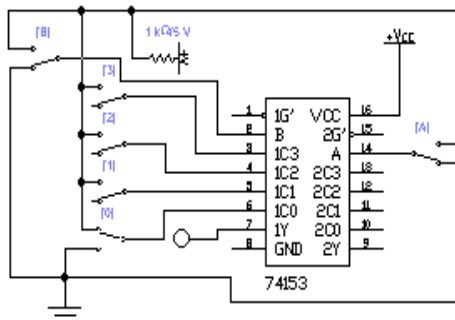


Рис. 4.3. Схема включення мультиплектора 74153

Звичайно в якості демультиплекторів використовують дешифратори, при цьому інформаційний вхідний сигнал подають на стробируючий вхід.

Мультиплектори випускають в інтегральному виконанні, наприклад, два мультиплектора «4-1» в одній мікросхемі 155КП2 (аналог 74153). Схема включення мультиплектора 74153 показана на рис.4.3.

Мікросхеми 155КП1, 155КП7 і 533КП16 є мультиплекторами «16-1», «8-1» і «2-1» (аналоги 74150, 74151 і 74157). Мультиплектори також використовуються для реалізації переключательних функцій.

Порядок виконання роботи

Експеримент 1. Исследование работы мультиплектора «2-1»

1. Записати вираження для вихідної функції МС.
2. Описати логікові функціонування МС у табличному виді.
3. Зібрати й перевірити схему МС на логічних елементах І-НЕ.
4. Зібрати й перевірити схему МС на SN74157.

Експеримент 2. Исследование работы мультиплектора «8-1»

1. Повторити п.п. 1-3 для мультиплектора «8-1».

2. Зібрати й перевірити схему MS «8-1» на SN74151.

Експеримент 3. Исследование реализованной на МС заданої викладачем ПФ (табл. 2.2, лабораторна робота №2) на МС «8 → 1».

1. Разроботать схему реализации заданной ПФ на МС (материалы разработки представить в отчете по лабораторной работе).

2. Зібрати й перевірити в EWB разроботанную схему.

3. Разроботанную схему и результаты проверки представить в отчете по лабораторной работе (напечатать).

Експеримент 4. Исследование реализованной на МС заданої викладачем ПФ (табл. 2.2, лабораторна робота №2) на двох мультиплексах «4-1» (SN74153).

1. Повторити п.п. 1-3 експеримента 3.

Експеримент 5. Исследование реализованной на МС заданої викладачем ПФ (табл. 2.2, лабораторна робота №2) на одному мультиплексе «4-1».

1. Повторити п.п. 1-3 експеримента 3.

Контрольні питання

1. Що таке мультиплексор?

2. У яких пристроях цифрової техніки використовуються мультиплексори?

3. Записати вираження, що описують роботу мультиплексора 2-1 (16-1).

4. Записати вираження, що описують роботу мультиплексора в мікросхемі SN74150 (SN74151, SN74153, SN74157). У рівняннях використовувати позначення виводів заданих мікросхем (А, В, С, D, G').

5. Реалізувати функцію $y = \sum(3, 4, 5, 11, 12, 13, 14)$ на одному мультиплексе «2-1»?

ЛАБОРАТОРНА РОБОТА 5 Дослідження цифрових компараторів

Ціль роботи: Дослідження функцій цифрового компаратора

Короткі теоретичні відомості

Цифрові компаратори виконують порівняння двох чисел А, В однакової розрядності, заданих у двійковому або двоїчно-десятковому коді. Залежно від схемного виконання компаратори можуть визначати рівність слів (А=В) або нерівності А<В, А>В. Результат порівняння відображається у вигляді логічного сигналу на однойменних виходах.

Функціонування компаратора описується наступними рівняннями:

$$Y_1(A, B) = \begin{cases} 1 \text{ при } A = B \\ 0 \text{ при } A \neq B \end{cases} \quad Y_2(A, B) = \begin{cases} 1 \text{ при } A > B \\ 0 \text{ при } A \leq B \end{cases} \quad Y_3(A, B) = \begin{cases} 1 \text{ при } A < B \\ 0 \text{ при } A \geq B \end{cases}$$

По отриманих вираженнях складемо таблицю істинності (табл.5.1).

Таблиця 5.1

<i>a</i>	<i>b</i>	$y_1(a=b)$	$y_2(a>b)$	$y_3(a<b)$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

З табл.5.1 одержуємо функції y_1, y_2, y_3 :

$$y_{1i} = \overline{A_i} \cdot \overline{B_i} + A_i \cdot B_i = A_i \sim B_i,$$

$$y_{2i} = \overline{A_i} \cdot B_i$$

$$y_{3i} = A_i \cdot \overline{B_i}$$

Функція y_1 зветься функції рівнозначності (еквівалентності).

Побудуємо компаратор на логічних елементах. Схема однорозрядного компаратора наведена на мал. 5.1.

Порівняння многозарядних чисел А і В реалізується перемикальними функціями. Для кожного розряду і можна записати:

$$Z_{1i} = \overline{A_i} \cdot \overline{B_i} + A_i \cdot B_i.$$

Це рівність повинне виконуватися для всіх **n** розрядів, тобто вихідний сигнал

$$Z = (\overline{A_1} \cdot \overline{B_1} + A_1 \cdot B_1) \cdot (\overline{A_2} \cdot \overline{B_2} + A_2 \cdot B_2) \cdot \dots \cdot (\overline{A_n} \cdot \overline{B_n} + A_n \cdot B_n).$$

Схеми компаратора наведені на рис.5.2 і 5.3.

Для многозарядних чисел алгоритм порівняння такий: спочатку порівнюють значення старших розрядів; якщо вони різні, те ці розряди й визначають результат порівняння. Якщо ж вони рівні, то необхідно порівнювати наступні за ним більше молодші розряди й т.д.

Умовне графічне позначення цифрового компаратора наведено на мал.5.4.

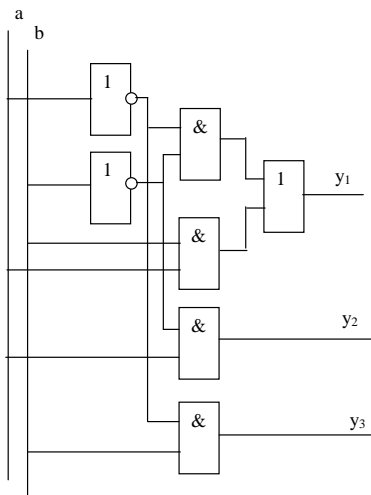


Рис.5.1. Логічна схема однорозрядного компаратора

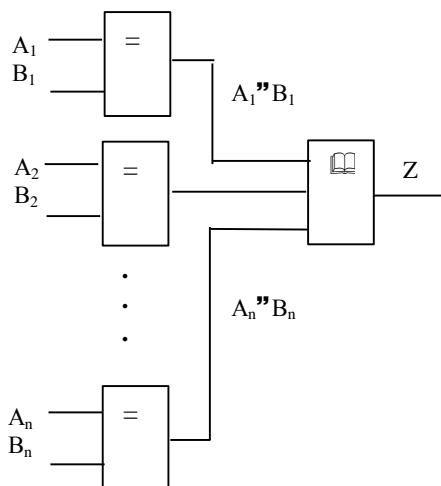


Рис.5.2. Многоразрядный компаратор на элементах «рівнозначність»

Цифрові компаратори застосовуються для виявлення потрібного числа (слова) у цифрових послідовностях, для оцінки часу в годинних приладах, для виконання умовних переходів в обчислювальних пристроях, а також в адресних селекторах.

Порядок виконання роботи

Експеримент 1. Исследование одноразрядного компаратора

1. Зберіть схему компаратора, зображеного на рис.5.1.
2. Перевірте роботу схеми й складіть таблицю істинності, подаючи на її входи всі можливі комбінації вхідних змінних.

Експеримент 2. Исследование четырехразрядного компаратора

1. Зберіть схему компаратора, зображеного на рис.5.2 (чотири разряда).
2. Повторите п. 2 експеримента 1.

Експеримент 3. Исследование четырехразрядного компаратора на элементах «равнозначность».

1. Зберіть схему компаратора, зображеного на рис.5.3 (чотири разряда).
2. Повторите п. 2 експеримента 1.

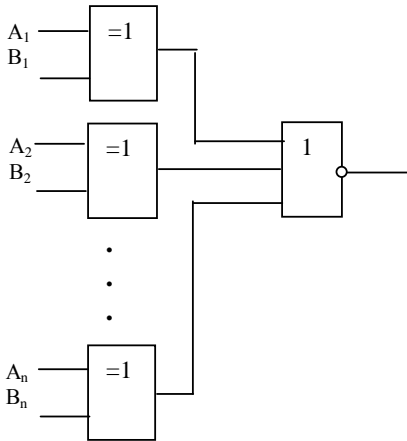


Рис.5.3. Многоразрядный компаратор на элементах «нерівнозначність» (исключающее АБО)

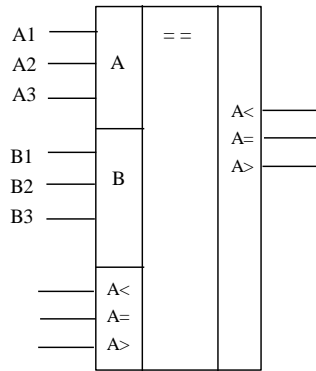


Рис. 5.4. Умовне обозначение цифрового компаратора

Контрольні питання

13. Призначення компаратора?
14. У яких пристроях може бути використаний компаратор?
15. Приведіть таблицю істинності одnorозрядного компаратора?
16. Напишіть алгоритм роботи й приведіть схему, що реалізують функцію рівності двох многоразрядних чисел?

ЛАБОРАТОРНА РОБОТА 6

Синтез і дослідження тригерів

Ціль роботи: Вивчити й досліджувати різні схеми тригерів. Освоїти метод синтезу структури будь-якого заданого тригера.

Короткі теоретичні відомості

Для зберігання (запам'ятовування) інформації найчастіше використовують елемент із двома стійкими станами - тригер.

Структуру тригера можна представити у вигляді запам'ятовувального осередку (бистабильної) і схеми керування

(рис.6.1), де E_1 і E_2 - логічні входи, Z - вхід синхронізації; ЗЯ - запам'ятовувальний осередок; S - установка; R — скидання.

Схема керування залежно від типу тригера перетворить інформацію, що надходить на входи E_1 і E_2 у сигнали (функції порушення), які подаються на входи запам'ятовувального осередку й управляють нею.

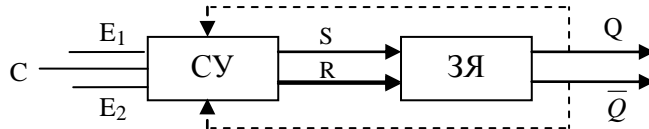


Рис.6.1. Структура тригера

Запам'ятовувальний осередок - це схема із двома стійкими станами. Вона має два виходи Q і \bar{Q} , сигнали на які завжди протилежні, і два входи S (Set - установка) і R (Reset - скидання). Перемикаючі сигнали $S = 1$ і $R = 0$ установлюють ЗЯ в стан "1". Зворотні значення сигналів установлюють ЗЯ в стан "0". При значенні вхідних сигналів $S = R = 0$ бистабільний осередок не змінює свого стану. Значення вхідних сигналів $S = R = 1$ заборонено. ЗЯ складається звичайно із двох логічних елементів, які взаємно охоплені зворотним зв'язком. Такий осередок називають **асинхронним RS -тригером**.

Асинхронний RS -тригер

У відповідності зі сказаним вище роботу цього тригера можна описати таблицею переходів (табл.6.1). Індеси t і $t+1$ показують попередній і наступний стани тригера. Рискою позначені невизначені значення змінних.

Функція переходов в базисі АБО-НЕ (індекс t опущен):

$$Q^{t+1} = \overline{R \vee S \vee Q}.$$

На рис. 6.2 показаний асинхронний RS -тригер і його позначення із прямими входами на елементах АБО-НЕ. Активними сигналами є сигнали з рівнем «1».

Таблиця 6.1

S^t	R^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1

1	0	1	1
1	1	0	-
1	1	1	-

Функція переходов в базисі І-НЕ (індекс t опущен):

$$Q^{t+1} = \overline{\overline{S} \cdot \overline{R} \cdot Q}$$

На рис. 6.3 показаний асинхронний RS - тригер і його позначення з інверсними входами на елементах І-НЕ. У цьому тригері комбінація сигналів S=R=0 неприпустима.

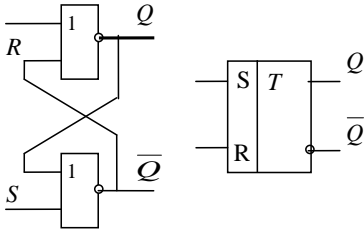


Рис.6.2. Асинхронний RS - тригер із прямими входами на елементах АБО-НЕ і його позначення

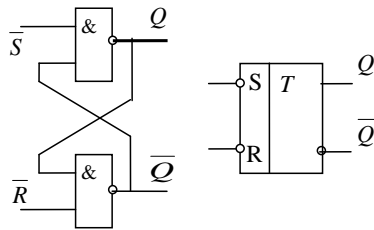


Рис.6.3. Асинхронний RS - тригер з інверсними входами на елементах І-НЕ і його позначення

Табл.6.2 є скороченою таблицею переходів тригера з інверсними входами.

При синтезі цифрових автоматів з пам'яттю на RS- тригерах необхідне визначення вхідних впливів ($\overline{R}, \overline{S}$) при заданих переходах тригера з одного стану в інше ($Q \rightarrow Q^{t+1}$). Для цього становлять матрицю переходів - характеристичну таблицю (табл.6.3).

Таблиця 6.2

R	S	Q_{t+1}
0	0	Q_t
0	1	1
1	0	0
1	1	-

Таблиця 6.3

Q _t → Q _{t+1}	R	S
0	0	x
0	1	0
1	0	1
1	1	x

Як правило, тригери, застосовувані в потенційній системі елементів, мають ще один вхід С для синхронізуючих сигналів.

Оскільки прийом вхідної інформації синхронізований з моментом подачі імпульсу на вхід С, те такий тригер називається *синхронним*

(синхронізованим) тригером і спрацьовує тільки при наявності сигналу синхронізації. Для синхронних тригерів часи t і $t + 1$ позначають час до й після синхронізуючого імпульсу відповідно.

Синхронний D-тригер (рис.6.4).

D-тригер має один інформаційний вхід D (data - дані). Інформація із входу **D** заноситься в тригер по позитивному перепаді імпульсу на рахунковому вході **C** и зберігається до наступного позитивного перепаду на рахунковому вході тригера. Крім рахункового **C** и інформаційного **D** входів, тригер постачений асинхронними настановними **R** і **S** входами. Наставовні входи пріоритетні. Вони встановлюють тригер незалежно від сигналів на входах **C** и **D**.

Таблицю переходів (табл.6.4) синхронного D-тригера одержуємо з умов:

- якщо $C=0$, то $Q^{t+1} = Q^t$,
- якщо $C=1$, то $Q^{t+1} = D^t$.

T-тригер (рис.6.5).

T-тригер - пристрій із двома стійкими станами й загальним входом **T**; він змінює свій стан на протилежне при подачі на вхід **T** керуючого (рахункового) сигналу.

T - тригер функціонує відповідно до табл. 6.5.

Таблиця 6.4

C	D	Q	Q ^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Таблиця 6.5

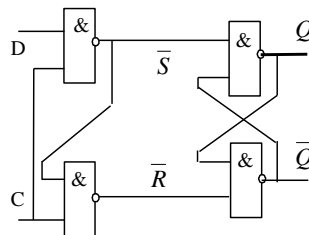


Рис.6.4. Синхронний D-тригер

T	Q ^t	Q ^{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

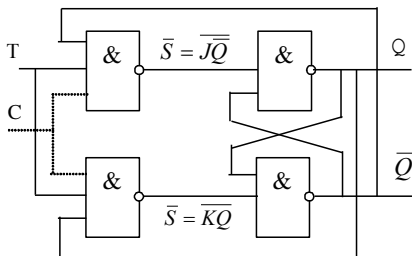


Рис. 6.5. Схема Т- тригера

JK-тригер

Крім інформаційних входів J і K и прямого й інверсного виходів Q і \bar{Q} , JK-Тригер має вхід керування C (цей вхід також називають тактируючим або рахунковим), а також асинхронні настановні R і S-Входи. Наставовні входи мають пріоритет над іншими. Активний рівень сигналу на вході S устанавлює тригер у стан Q=1, а активний рівень сигналу на вході R - у стан Q=0, незалежно від сигналів на інших входах.

Якщо на входи установки одночасно подати пасивний рівень сигналу, то стан тригера буде змінюватися по фронту імпульсу на рахунковому вході залежно від стану входів J і K, як показано в таблиці переходів (табл. 6.6).

Таблиця 6.6

J	K	Q ^t	Q ^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

По табл. 6.6 становимо функцію переходів JK-тригера:

$$Q^{t+1} = J \cdot \bar{Q} \vee \bar{K} \cdot Q.$$

JK-тригер на базі RS-тригера з інверсними входами має функції порушення (R і S):

$$\bar{R} = \overline{K \cdot Q}, \quad \bar{S} = \overline{J \cdot \bar{Q}}$$

Функціональна схема JK-тригера і його позначення показаний на рис.6.6.

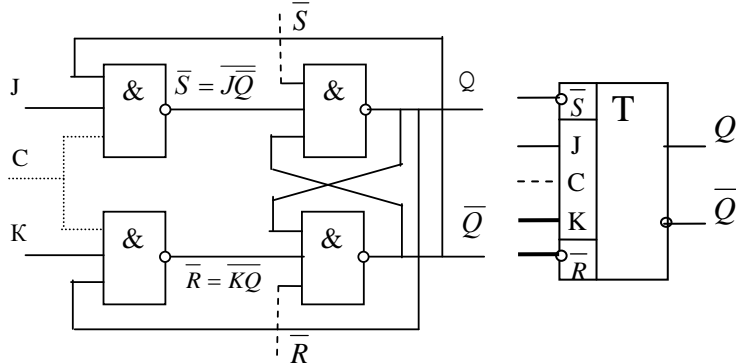


Рис. 6.6. Функціональна схема JK-тригера із входами установки логічним нулем і його умовне графічне позначення

Синтез тригера

Тип тригера визначається алгоритмом його роботи. Залежно від алгоритму роботи, тригер може мати настановні, інформаційні й керуючі входи. Наставновні входи призначені для установки тригера в «1» або «0» незалежно від стану інших входів. Входи керування дозволяють запис даних, що подаються на інформаційні входи.

У загальному випадку синтез тригера зводиться до побудови його схеми на основі заданих закону функціонування тригера та типу (базового) тригера, на основі якого строиться даний тригер (наприклад, RS-тригер, JK-тригер і т.д.). Для цього необхідно:

- скласти таблицю переходів синтезованого тригера,
- по таблице переходов синтезуемого тригера и по матрице переходов базового тригера найти функции возбуждения базового тригера,
- найти минимальные формы функций возбуждения тригера,
- представить минимальные формы функций возбуждения тригера в базе **I-НЕ (АБО-НЕ)**,
- построить схему тригера.

Порядок виконання роботи

Експеримент 1. Дослідження роботи RS - тригера.

1. Зберіть схему, зображену на рис.6.7.
2. Послідовно подавайте на схему за допомогою ключів R і S сигнали R і S: 00, 01, 10, 11.
3. За результатами експерименту заповніть таблицю функції порушення (табл.6.7).

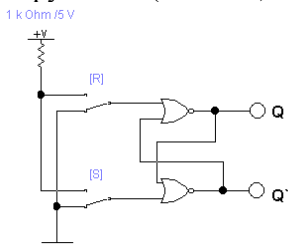


Рис.6.7. Схема дослідження RS- тригера

Таблиця 6.7

Q	Q^{t+1}	R	S
0		0	0
0		1	0
0		0	1
1		1	0
1		0	0
1		0	1

Експеримент 2. Дослідження JK – тригера, побудованого на базі логічних елементів і RS – тригерів (рис.6.8).

1. Зберіть схему, зображену на рис.6.8.
2. Змінюючи рівень сигналу на вході C (за допомогою клавіші C: 0 і 1), складіть тимчасові діаграми сигналів на виходах Q1 і Q2.
3. Укажіть режим роботи тригера.

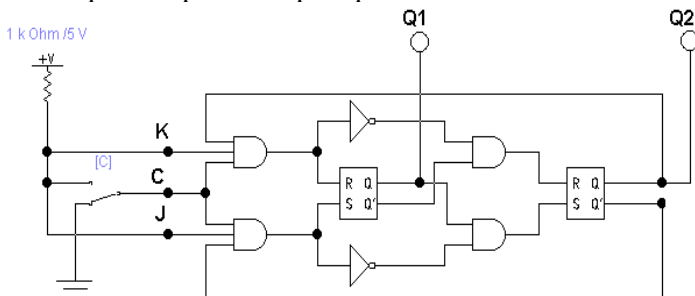


Рис.6.8. Схема дослідження JK-Тригера

Експеримент 3. Дослідження JK - тригера.

1. Зберіть схему зображену на рис. рис.6.9.
2. Переконаєтеся в тім, що:
 - $Q=1$ при $R=1$ і $S=0$ (незалежно від стану інших входів);
 - $Q=0$ при $R=0$, $S=1$ (незалежно від стану інших входів).
3. Установите $R=1$, $S=1$ і складіть таблицю функцій порушення.

Експеримент 4. Дослідження роботи D - тригера в рахунковому режимі.

1. Зберіть схему зображену на рис. рис.6.10.
2. Подаючи на рахунковий вхід С тактові імпульси за допомогою ключа [С] і визначаючи стан виходів тригера за допомогою індикаторів Q і Q', складіть тимчасові діаграми роботи тригера в рахунковому режимі.

Експеримент 5. Дослідження синтезованого тригера

1. По заданому викладачем варіанту синтезуйте логічну структуру тригера (табл.6.8). Передбачите установку тригера в "0" і "1".

2. Зберіть синтезовану схему.
 3. Перевірте роботу схеми, подаючи різні кодові комбінації на входи
- її.

3. Складіть таблицю функціонування схеми.
4. Побудуйте тимчасові діаграми сигналів на виходах всіх логічних елементів для однієї довільної вхідної кодової комбінації й вихідного стану тригера $Q=0$.

5. По тимчасовій діаграмі визначите швидкодію досліджуваного тригера.

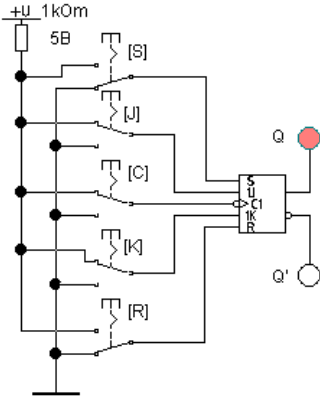


Рис.6.9.Схема дослідження JK - тригера

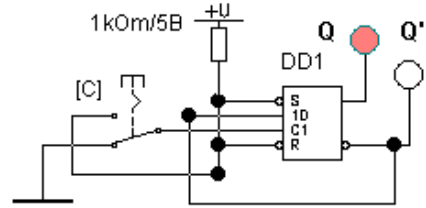


Рис.6.10. Схема дослідження D - тригера

Таблиця 6.8

Варіант	Переходи			Варіант	Переходи			Варіант	Переходи			
	E_1^t	E_2^t	Q^{t+1}		E_1^t	E_2^t	Q^{t+1}		E_1^t	E_2^t	Q^{t+1}	
1	0	0	Q^t	2	0	0	0	3	0	0	0	
	0	1	1		0	1	0		0	0	1	Q^t
	1	0	0		1	0	1		1	1	0	$\overline{Q^t}$
	1	1	$\overline{Q^t}$		1	1	Q^t		1	1	1	1
4	0	0	0	5	0	0	Q^t	6	0	0	0	
	0	1	Q^t		0	1	0		0	1	Q^t	
	1	0	0		1	0	1		1	1	0	1
	1	1	1		1	1	0		1	1	1	1
7	0	0	0	8	0	0	1	9	0	0	Q^t	
	0	1	0		0	1	$\overline{Q^t}$		0	1	Q^t	
	1	0	Q^t		1	0	0		1	0	1	
	1	1	1		1	1	0		1	1	0	
10	0	0	1	11	0	0	Q^t	12	0	0	Q^t	
	0	1	Q^t		0	1	1		0	1	$\overline{Q^t}$	
	1	0	Q^t		1	0	0		1	0	1	
	1	1	0		1	1	$\overline{Q^t}$		1	1	0	

	0	0	Q^t		0	0	1		0	0	$\overline{1}$
13	0	1	0	14	0	1	Q^t	15	0	1	$\overline{Q^t}$
	1	0	$\overline{Q^t}$		1	0	0		1	0	0
	1	1	1		1	1	$\overline{Q^t}$		1	1	Q^t

Контрольні питання

1. Чим різняться асинхронний і синхронний тригери?
2. Що таке двоступінчастий тригер і з якою метою він створюється?
3. Що таке характеристичне рівняння тригера і його таблиця переходів?
4. Що таке характеристична таблиця тригера?
5. Как урахуються невизначені значення функції при мінімізації?
6. Що таке функція порушення?
7. Як працює звичайний асинхронний RS -тригер із прямими й інверсними входами?
8. Чому JK-Тригер називається універсальним?
9. Синтезуйте D-Тригер на RS-тригері з інверсними входами.

ЛАБОРАТОРНА РОБОТА 7

Синтез і дослідження регістрів

Ціль роботи: Вивчити регістри зберігання інформації й зсуву, освоїти метод синтезу багатофункціональних регістрів, експериментально досліджувати різні види регістрів

Короткі теоретичні відомості

Упорядковану послідовність запам'ятовувальних елементів, призначену для зберігання інформації, називають регістром. Як запам'ятовувальні елементи в регістрах часто використовують тригери. Регістри звичайно постачають додатковими ланцюгами, які дозволяють виконувати кілька мікрооперацій, таких як прийом, видача, зрушення, перетворення кодів (із прямого у зворотний і навпаки), поразрядное логічне множення й додавання, порівняння кодів.

При виконанні арифметичних операцій необхідні зсуви інформації в регістрах. Зсуви можуть виконуватися на один або кілька розрядів як убік молодших розрядів числа (зрушення вліво), так і убік старших розрядів (зрушення вправо). Регістр може бути замкнут у кільце (кільцеві лічильники), так що інформація, висунута з молодших

(старших) розрядів регістра, приймається у вивільнювані запам'ятовувальні елементи старших (молодших) розрядів регістра.

Узагальнена структурна схема багатofункціонального регістра зсуву наведена на рис. 7.1.

На входи комбінаційної схеми надходять сигнали з виходів тригерів, а також сигнали, що приходять ззовні по шинах керування y_1, y_2, \dots, y_m . Призначення шин керування полягає в тому, щоб із всіх мікрооперацій зрушення, виконуваних регістром, вибрати одну, необхідну в цей момент часу.

Сигнали з виходів комбінаційної схеми подаються на входи тригерів. Функції порушення входів i -го тригера можна записати в наступному виді:

$$E_{li}^t = f_{li}(Q_1^t, Q_2^t, \dots, Q_N^t; y_1, y_2, \dots, y_m)$$

Значення функцій й всіх змінних у цьому вираженні визначені для того самого часу t . Тому функції порушення тригерів є перемикальними функціями, яким відповідають комбінаційні системи, що формують вхідні сигнали для тригерів. Отже, якщо задано тип тригера, то завдання проектування схеми регістра зрушення полягає в знаходженні функцій порушення кожного тригера (заданого типу) і мінімізації знайдених функцій у заданому базисі.

Знаючи функції порушення, можна побудувати схему заданого регістра.

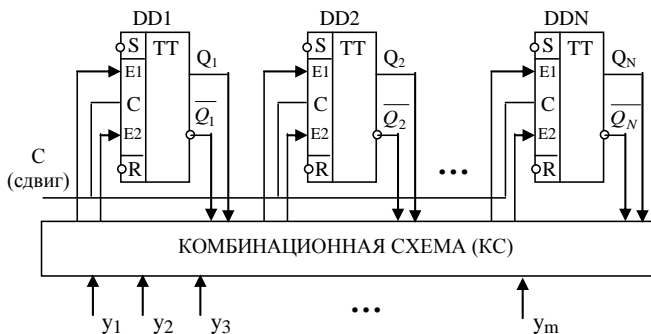


Рис.7.1.Схема багатofункціонального регістра зсуву

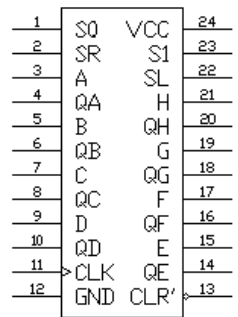


Рис.7.2.Мікросхема K155IP13(74198)

В роботі розглянемо восьмиразрядний реверсивний регістр зсуву 74198 (K155IP13). Регістр (рис.7.2) може використовуватися як регістр

пам'яті з паралельним уведенням інформації, так і в якості реверсивного регістра зсуву, з послідовними уведенням і виводом.

Режим роботи задається сигналами на керуючих входах. Мікросхема має наступні виводи: інформаційні входи послідовного уведення інформації - SR при зрушенні вправо й SL при зсуві вліво; вісім входів A, B, C, D, E, F, G, H для паралельного уведення; тактовий вхід CLK; керуючі входи S1 і S0 для вибору режиму; вхід \overline{CLR} для установки тригерів у нульовий стан і вісім виходів від розрядів QA, QB, QC, QD, QE, QF, QG, QH.

При роботі регістра в режимі послідовного уведення зі зсувом вправо (S1=1 і S0=0) інформація в послідовному коді подається на вхід SR, починаючи з молодших розрядів. Уведення й зсув всього числа на один розряд відбувається з кожним перепадом 0-1-0 тактових імпульсів.

При послідовним уведенням зі зсувом уліво (S1=0, S0=1) вхідна інформація повинна надходити на вхід SL зі старших розрядів.

При паралельному уведенні (бути S=S=1) інформація із входів A...H буде записана в тригери й з'явиться на виходах QA...QH по перепаду 0-1-0 тактового імпульсу.

Щоб уникнути збоїв зміна станів керуючих входів S1 і S0 повинна відбуватися при C=1. Режим зберігання має місце при S1=S0=0.

Установка нулів (очищення регістра) здійснюється сигналами 1-0-1 на вході \overline{CLR} . При виконанні всіх інших операцій необхідно підтримувати $\overline{CLR}=1$.

Роботу регістра 74198 у різних режимах характеризує табл.7.1.

Таблиця 7.1

Входи							Виходи	Режим роботи
\overline{CLR}	CLK	S1	S0	SR	SL	A...H	Q ₀ Q ₁ Q ₂ Q ₃ Q ₄ Q ₅ Q ₆ Q ₇	
1	↑	1	1	1	X		D ₀ ⁿ D ₁ ⁿ ...D ₆ ⁿ D ₇ ⁿ	Паралельне уведення Зберігання
1	↑	0	0	X	X	X	Q ₀ ⁿ Q ₁ ⁿ ...Q ₆ ⁿ Q ₇ ⁿ	
1	↑	1	0	X	0	X	Q ₁ ⁿ Q ₂ ⁿ ...Q ₇ ⁿ 0	Зсув вліво
1	↑	1	0	X	1	X	Q ₁ ⁿ Q ₂ ⁿ ...Q ₇ ⁿ 1	
1	↑	0	1	0	X	X	0Q ₀ ⁿ ...Q ₅ ⁿ Q ₆ ⁿ	Зсув вправо

1	↑	0	1	1	X	X	$1Q_0^n \dots Q_5^n Q_6^n$	Скидання
0	X	X	X	X	X	X	0 0 ... 0 0	

Примітка. У режимах зрушення й зберігання перехід 1-0 на входах S0 і S1 допустимо при CLR = 1.

Порядок виконання роботи

Експеримент 1. Исследование схемы четырехразрядного параллельного регистра зберігання.

1. Зібрати схему, зображену на рис.7.3.
2. Записати в регістр чотирьохразрядное двійкове число 1001.
3. Контролювати стан регістра з допомогою індикаторів на його виходах.

Експеримент 2. Исследование схемы регистра зсуву.

1. Зібрати схему, зображену на рис.7.4.
2. Записати в регістр чотирьохразрядное двійкове число 1001.
3. Подаючи одиночні синхроімпульси (Spase), контролювати стан регістра з допомогою індикаторів на його виходах.
4. Записати стан регістра після подачі кожного з трьох синхроімпульсів.

Експеримент 3. Исследование схемы кільцевого регістра.

1. Зібрати схему, зображену на рис.7.4, додавши зворотню зв'язь з вихода на вхід регістра (див. рис.7.5).
2. Записати в регістр чотирьохразрядное двійкове число 1011.
3. Подаючи одиночні синхроімпульси (Spase), контролювати стан регістра з допомогою індикаторів на його виходах.
4. Записати стан регістра після подачі кожного з п'яти синхроімпульсів.

Експеримент 4. Исследование схемы кільцевого регістра з логічною схемою "Сума по модулю два".

1. Зібрати схему, зображену на рис.7.4, додавши зворотню зв'язь з вихода на вхід регістра з логічною схемою "Сума по модулю два" (див. рис. 7.6).
2. Записати в перший розряд регістра «1».
3. Подаючи одиночні синхроімпульси (Spase), контролювати стан регістра з допомогою індикаторів на його виходах.
4. Скласти таблицю переходів регістра.

Експеримент 5. Дослідження схеми кільцевого регістра 74198.

1. Зібрати схему, зображену на рис.7.7.

2. Записати в регістр (інформаційні входи регістра А...Н) восьмиразрядное двійкове число паралельним кодом відповідно до заданого варіанта (табл.7.2). Перед записом числа в регістр варто зробити його очищення.

Таблиця 7.2

Варіант	1	2	3	4	5	6	7	8	9	10	11	12
Число	25	38	46	75	251	202	131	82	58	88	100	17

3. Спостерігати (по світлодіодам індикації) записане в регістр двійкове число.

4. Записати це число в табл. 7.3.

5. Перевести регістр у режим зсуву інформації вправо.

6. Сдвигать інформацію вправо (с помощью переключателя Spase подавать 0-1-0). Розряди регістра, починаючи із самого лівого, будуть звільнятися один за іншим. Вивільнювані розряди заповнити нулями (на вхід SR подати 0; при SR = 1 розряди регістра заповнюються 1).

7. Результати індикації после каждого сдвига информации записать в табл.7.3.

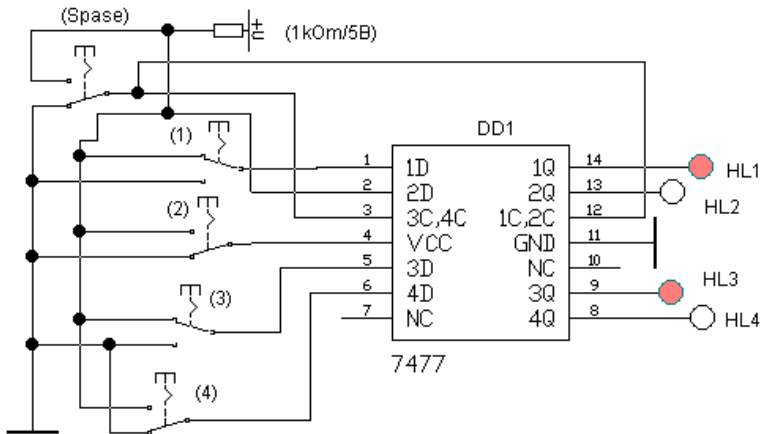


Рис.7.3. Схема четырехразрядного параллельного регистра зберігання на мікросхемі 7477 (К155ТМ5)

Експеримент 6. Исследование синтезированной схемы регистра.

1. Синтезировать на JK-триггерах і елементах І-НЕ задану викладачем схему регистра (исходные данные в табл.7.5).

Для этого:

- составить таблицу переходов регистра,
 - по матрицам переходов JK-триггера определить входы возбуждения всех триггеров,
 - с помощью карт Карно минимизировать функции возбуждения каждого триггера,
 - разработать схему регистра в пакете EWB. Схема регистра повинна бути доповнена ланцюгами установки довільного коду.
2. Зібрати полученную схему регистра.
 3. Записати в регістр двійкове число, данное в табл.7.5.
 4. Повторити пп. 3-4 експеримента 2.

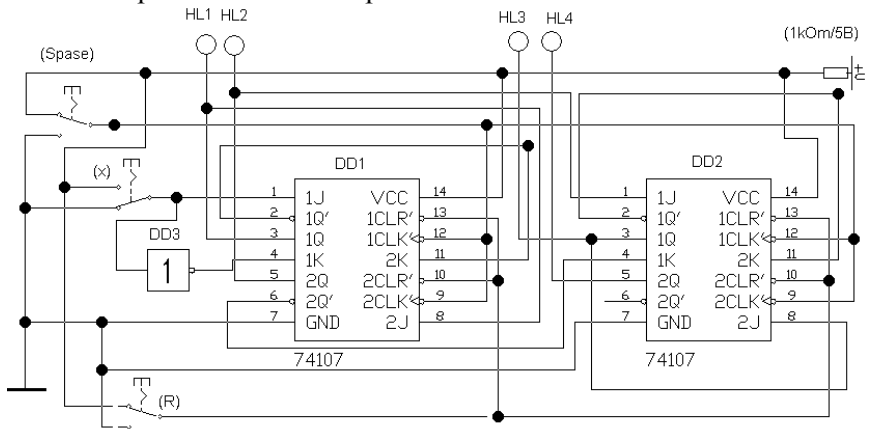


Рис.7.4. Схема регістра зсуву на JK -триггерах

Таблиця 7.3

Кількість переходів	Сигнал синхронізації	Виходи регістра							
		QA	QB	QC	QD	QE	QF	QG	QH
0	0-1-0	I	I	0	I	0	0	0	0
		Зсув записаного числа вправо							
1	0-1-0	0	I	I	0	I	0	0	0
2	0-I-0	0	0	I	I	0	I	0	0
3	0-1-0	0	0	0	I	I	0	I	0
4	0-1-0	0	0	0	0	1	I	0	I
5	0-1-0	0	0	0	0	0	I	I	0

6	0-1-0	0	0	0	0	0	0	I	I
7	0-1-0	0	0	0	0	0	0	0	I
8	0-1-0	0	0	0	0	0	0	0	0

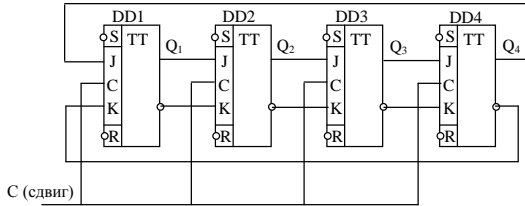


Рис.7.5.Схема кільцевого регістра, що зрушує, на JK-Тригерах

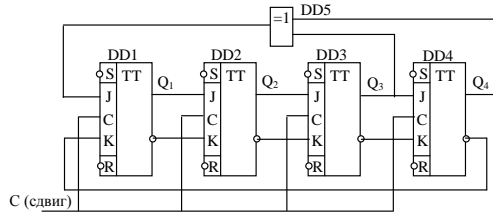


Рис.7.6.Схема кільцевого регістра на JK-Тригерах

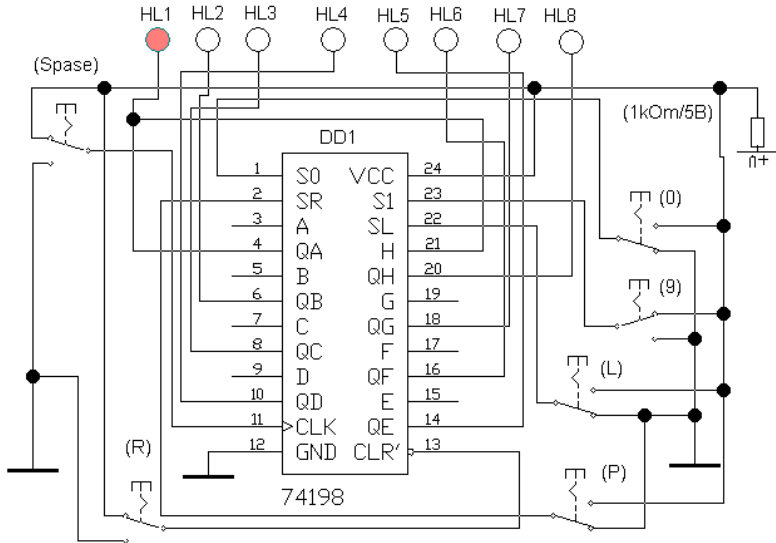


Рис.7.7. Схема восьмиразрядного кільцевого регістра

Таблиця 7.5

Варіант	Мікрооперація зсуву	Вихідний код
1	Уліво на 2 розряди, вправо на 1 розряд	1001
2	Вправо на 1 розряд, уліво на 2 розряди	1011
3	Уліво на 2 розряди, вправо на 1 розряд	1101
4	Уліво на 1 розряд, вправо на 2 розряди	1010
5	Уліво на 2 розряди, вправо на 1 розряд	1100
6	Вправо на 1 розряд, уліво на 2 розряди	0110
7	Вправо на 2 розряди, уліво на 1 розряд	0101
8	Уліво на 2 розряди, вправо на 2 розряди	0011
9	Вправо на 2 розряди, уліво на 2 розряди	1001
10	Вправо на 2 розряди, уліво на 1 розряд	1010

Контрольні питання

1. Який цифровий пристрій називається регістром?
2. Які мікрооперації можна виконати за допомогою регістрів?
3. Чи можна використовувати регістр K155IP13 у якості преобразователя кодів (паралельного в послідовний і навпаки)?
4. Як працює кільцевий регістр (лічильник), де застосовується?
5. Як визначається швидкодія регістра зсуву?
6. Зобразіть чотирихразрядний регістр зберігання на JK-тригерах.

ЛАБОРАТОРНА РОБОТА №8

Синтез та дослідження схем лічильників

Мета роботи: Дослідження найбільш поширених схем лічильників

Теоретичні вказівки

Счетчик – устрійство для подсчета импульсов, поступающих на его вход.

За напрямком лічби лічильники розподіляються на ті що підсумовують, віднімають та реверсивні.

В залежності від засобу перемикаання тригерів лічильники розподіляються на синхронні і асинхронні.

По способу организации схемы переноса (межразрядных связей) различают счетчики с последовательным, параллельным и комбинированным переносом.

Основні характеристики лічильника – це модуль (коефіцієнт) лічби і швидкодія лічильника.

Коефіцієнт лічби ($K_{лч}$) характеризує число можливих состояний лічильника. В такому счетчике при подаче $K_{лч}$ імпульсов счетчик повертається в вихідне состояние. Двійковими називають лічильники з $K_{лч}=2^n$, де n – число розрядів лічильника. Лічильники з $K_{лч}=10^n$ називають двійково-десятковими.

Для построения счетчиков используют Т-триггеры (обычно строят із JK-триггера, в якому входи $J = K = 1$).

Якщо з'єднати послідовно n схем лічильників з коефіцієнтами лічби K_1, K_2, \dots, K_n , то отримаємо лічильник з коефіцієнтом лічби $K=K_1 \times K_2 \times \dots \times K_n$.

Лічильник з $K_{лч}=2$, це Т-тригер. Схема для його дослідження приведена на рис.8.2. Лічильник на базі Т-триггера має тільки два стани, тобто його $K_{лч}=2$.

В асинхронных счетчиках счетчиках нет общей для всех разрядов синхронизации; переход разрядов в новые состояния происходит последовательно друг за другом, начиная с входного. Смена состояния любого разряда счетчика происходит при переключении предыдущего разряда из «1» в «0».

В суммирующих счетчиках с приходом очередного счетного импульса предыдущий результат увеличивается на единицу, в вычитающих счетчиках – уменьшается на единицу.

В синхронных счетчиках счетные сигналы подаются одновременно на синхровходы всех триггеров. Эти счетчики выполняют с параллельным переносом. При этом выходы всех предшествующих разрядов подаются на входы триггера последующего (старшего) разряда.

Синтез счетчика с произвольным коэффициентом счета

Один из методов проектирования счетчиков с заданным коэффициентом счета заключается в построении таблицы переходов, в первых столбцах которых будут отражены текущие состояния триггеров счетчика, а в последующих - следующие за ними состояния. Анализ таблицы позволяет установить переходы триггеров, входящих в состав счетчика. Затем с помощью управляющей таблицы соответствующего триггера находят значения логических функций на управляющих входах триггеров, позволяющие осуществить эти переходы.

Синтез счетчика с помощью метода исключения зайвих станів

В этом методе при попадании счетчика в нерабочее состояние оно должно быть опознано и выработан сигнал для перевода счетчика в исходное (начальное) состояние.

Например, при реализации счетчика с $K_{лч}=5$ первое нерабочее состояние (101). Комбинационная схема распознает его и вырабатывает сигнал для установки счетчика в состояние (000). С помощью этого метода можно исключить все факты попадания в нерабочие (запрещенные) состояния, т.е. сигнал для перевода счетчика в исходное состояние будет определяться уравнением:

$$F = (101) \vee (110) \vee (111) = Q_3 \cdot \overline{Q_2} \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot \overline{Q_1} \vee Q_3 \cdot Q_2 \cdot Q_1.$$

Исследования любого счетчика сводятся к контролю с помощью систем индикации их состояния (наличие «1» или «0» в соответствующих разрядах счетчика) при подаче на их вход фиксированного количества счетных импульсов.

Порядок виконання роботи

Експеримент 1. Исследование схемы лічильника з коефіцієнтом лічби $K_{лч}=2$.

1. Зібрати схему, зображену на рис.8.1.
2. Подавая на вход счетные импульсы, фиксировать состояние счетчика с помощью индикаторов на выходах триггера(ов).
3. Составить таблицу состояний счетчика.
4. Нарисовать временные диаграммы работы счетчика.

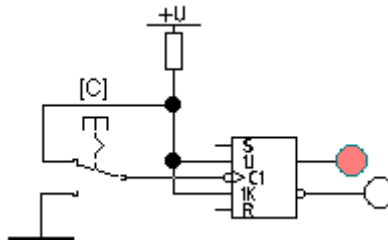


Рис.8.1.Схема лічильника з $K_{лч}=2$

Експеримент 2. Исследование схемы лічильника з коефіцієнтом лічби $K_{лч}=8$ (на Т-триггерах).

1. Скласти (самостоятельно в пакете EWB по рис.8.2) та зібрати схему лічильника.

2. Установить счетчик в состояние «0».
3. Повторить пп. 2-4 эксперимента 1.

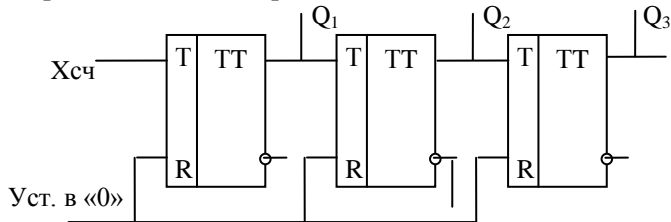


Рис.8.2.Схема суммирующего трехразрядного счетчика на двухступенчатых Т-триггерах с последовательным переносом

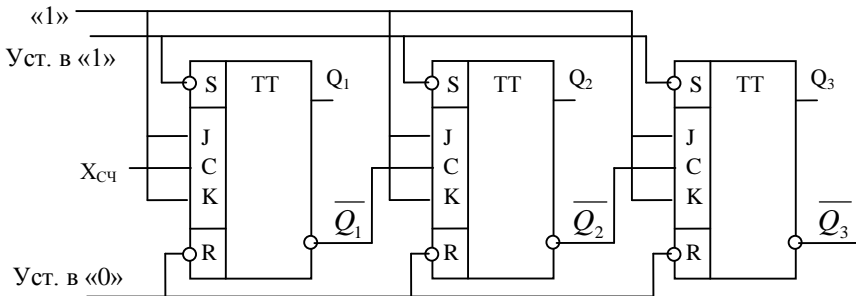


Рис.8.3. Схема вычитающего трехразрядного счетчика на двухступенчатых JK-триггерах с последовательным переносом

Эксперимент 3. Исследование схемы вычитающего трехразрядного лічильника з коефіцієнтом лічби $K_{лч}=8$ (на JK-триггерах).

1. Скласти (самостоятельно в пакете EWB по рис.8.3) та зібрати схему лічильника.

2. Установить счетчик в состояние «1».

3. Повторить пп. 2-4 эксперимента 1.

Эксперимент 4. Исследование схемы реверсивного трехразрядного лічильника (на JK-триггерах).

1. Зібрати схему, зображену на рис.8.4.

2. Повторить пп. 2-4 эксперимента 1.

3. Определить коэффициент счета счетчика.

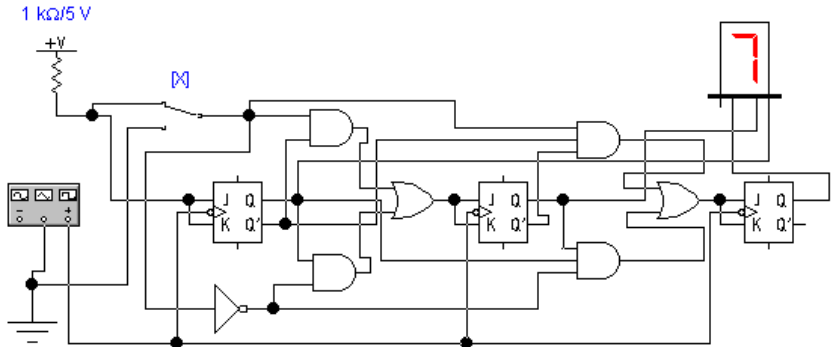


Рис.8.4. Трьохрозрядний реверсивний лічильник

Експеримент 5. Исследование схемы лічильника з коефіцієнтом лічби $K_{лч}=5$ (на JK-триггерах).

1. Зібрати схему лічильника (рис.8.5).
2. Повторити пп. 2-4 експеримента 1.

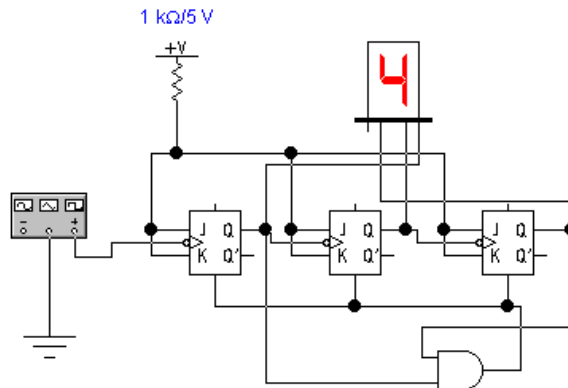


Рис.8.5. Схема лічильника з $K_{лч}=5$

Експеримент 6. Исследование синтезированной схемы счетчика.

1. **Синтезировать на JK-триггерах** задану викладачем схему лічильника (исходные данные в табл.8.1 и 8.2).

Для этого:

- составить таблицу переходов счетчика,
- по матрицам переходов JK-триггера определить входы возбуждения всех триггеров,

- с помощью карт Карно минимизировать функции возбуждения каждого триггера,
 - разработать схему счетчика в пакете EWB.
2. Зібрати полученную схему лічильника.
 3. Повторити пп. 2-3 експеримента 1.

Таблица 8.1

№ вар.	Назначение	Ксч	Тип логики управления	Примечание
1.	Суммирующий	3-5	ИЛИ-НЕ	
2.	- « -	3-6	И-НЕ	
3.	- « -	3-7	ИЛИ-НЕ	
4.	- « -	3-8	И-НЕ	
5.	- « -	3-9	ИЛИ-НЕ	
6.	- « -	4-9	И-НЕ	
7.	- « -	5-6	ИЛИ-НЕ	
8.	- « -	5-7	И-НЕ	
9.	- « -	5-8	ИЛИ-НЕ	
10.	- « -	5-9	И-НЕ	
11.	- « -	6-7	ИЛИ-НЕ	
12.	- « -	7-8	И-НЕ	
13.	- « -	7-9	ИЛИ-НЕ	
14.	- « -	10	И-НЕ	В коде 3321
15.	- « -	10	ИЛИ-НЕ	В коде 5211
16.	- « -	10	И-НЕ	В коде 6421
17.	- « -	10	ИЛИ-НЕ	В коде 3321
18.	- « -	10	И-НЕ	В коде 7421
19.	- « -	10	ИЛИ-НЕ	В коде 4221
20.	- « -	10	И-НЕ	В коде 5421
21.	- « -	10	ИЛИ-НЕ	В коде 3321
22.	- « -	10	И-НЕ	В коде 6311
23.	- « -	10	ИЛИ-НЕ	В коде 7321
24.	- « -	10	И-НЕ	В коде 4421
25.	- « -	10	ИЛИ-НЕ	В коде 5121

Таблица 8.3

Двоично-десятичный код	Десятичные номера двоичных наборов последовательных десятичных цифр в данном двоично-десятичном коде									
	3321	0	1	2	3	5	10	12	13	14
5211	0	1	4	5	7	8	10	12	14	15

6421	0	1	2	3	4	5	8	9	10	11
7421	0	1	2	3	4	5	6	8	9	10
4221	0	1	2	3	6	8	12	13	14	15
5421	0	1	2	3	4	8	9	10	11	12
6311	0	1	3	4	5	7	8	10	11	12
7321	0	1	2	4	5	6	7	8	9	10
4421	0	1	2	3	4	5	6	7	12	13
5121	0	1	2	3	7	8	12	13	14	15

Контрольні питання

1. Що таке коефіцієнт лічби?
2. Чим відрізняються двійкові лічильники від двійково-десяткових?
3. По каким признакам производится классификация счетчиков?
4. Чем определяется быстродействие счетчика?
5. Чем отличаются синхронные счетчики от асинхронных?
6. Синтезируйте синхронный реверсивный счетчик с $K_{лц}=7$.

ЛАБОРАТОРНАЯ РАБОТА 9

Исследование работы арифметико-логического устройства (АЛУ)

Цель работы: Ознакомление с работой арифметико-логического устройства (АЛУ). Исследование работы АЛУ на примере выполнения арифметических и логических операций.

Краткие теоретические сведения

АЛУ предназначено для выполнения арифметических и логических операций над многоразрядными операндами в зависимости от кодов, подаваемых на управляющие входы.

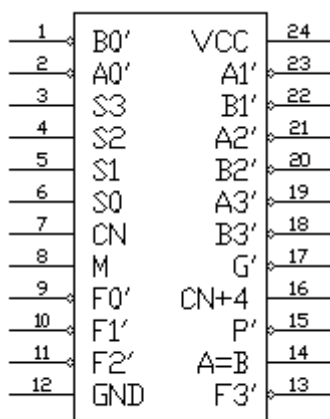
В вычислительных устройствах АЛУ является базовым узлом и работает в сочетании с оперативными запоминающими устройствами (ОЗУ), регистрами сдвига, регистрами общего назначения и др.

В ТТЛ-логике арифметико-логическим устройством является микросхема К155ИПЗ (аналог в программе EWB - микросхема 74181). Она представляет собой четырехразрядное АЛУ.

Условное обозначение схемы 74181 приведено на рис.9.1.

АЛУ работает в режиме выполнения логических операций при значении управляющего сигнала $M=1$ и в режиме выполнения арифметических операций при значении управляющего сигнала $M=0$.

В табл. 9.1 содержатся выполняемые логические и арифметические операции (для **отрицательной логики**) в зависимости от кодовой комбинации на управляющих входах M, S0, S1, S2, S3 (АЛУ способно выполнять 32 операции). Операции сложения и вычитания выполняются с ускоренным переносом из разряда в разряд. В схеме есть вход приема сигнала переноса (CN).



74181

Рис.9.1. Условное обозначение схемы 74181

Логические операции выполняются независимо в каждом разряде. Арифметические операции выполняются с учетом переносов и займов. Оба типа операций могут выполняться одновременно.

На выходах $F_3F_2F_1F_0$ выдаются результаты всех выполняемых действий. На выходе CN+4 образуется сигнал пятого разряда при выполнении арифметических действий. Выходы \bar{P} и \bar{G} - используются при организации многоразрядных АЛУ вместе с блоком ускоренного переноса КМ555ИП4.

Вывод 14 ($A=B$) с открытым коллектором (подключать через резистор 1кОм к +5В).

Для определения соотношения неравенства между числами А и В используется сигнал на выходе CN+4 (**логика положительная**).

Выход $A=B$ совместно с выходом переноса $CN+4$ и выходом P подтверждения переноса используются для формирования признаков $A>B$ и $A<B$ с помощью дополнительных логических элементов ИЛИ-НЕ и НЕ.

При коде 1111 на выходах F и при равенстве операндов выход $A=B$ переводится в единичное состояние.

Порядок выполнения работы

1. Соберите исследуемую схему на основе АЛУ 74181(рис.9.2).

Значения четырёхразрядных операндов A и B задаются с помощью генератора слова (в шестнадцатеричном коде), отображаются на индикаторах и подсоединяются к входам $A0\dots A3$ и $B0\dots B3$.

2. Изменяя состояния сигналов на управляющих входах, проведите моделирование по табл. 9.1 режимов работы АЛУ (по указанию преподавателя). Убедитесь в правильности полученных результатов.

Таблица 9.1

S3	S2	S1	S0	M=1 (логические операции)	M=0 (арифметические операции)	
					CN=0 (входной перенос отсутствует)	CN=1
0	0	0	0	\overline{A}	A	A+1
0	0	0	1	$\overline{A \vee B}$	A+B	$(A \vee B)+1$
0	0	1	0	$\overline{A \wedge B}$	$A + \overline{B}$	$(A + \overline{B}) + 1$
0	0	1	1	0	-1	0
0	1	0	0	$\overline{A \wedge B}$	$A + A \cdot \overline{B}$	$(A + A \cdot \overline{B}) + 1$
0	1	0	1	\overline{B}	$(A + B) + A \cdot \overline{B}$	$((A + B) + A \cdot \overline{B}) + 1$
0	1	1	0	$A \oplus B$	A-B-1	A-B
0	1	1	1	$\overline{A \wedge B}$	$A \cdot \overline{B} - 1$	$A \cdot \overline{B}$
1	0	0	0	$\overline{\overline{A \vee B}}$	A+AB	A+AB+1
1	0	0	1	$\overline{\overline{A \oplus B}}$	A+B	A+B+1
1	0	1	0	B	$(A+B') + AB$	$(A+B') + AB + 1$
1	0	1	1	$A \wedge B$	AB-1	AB
1	1	0	0	1	A+A	A+A+1

1. Нарисуйте алгоритм выполнения операции $(\dot{A} + (\dot{A} \wedge \bar{\bar{A}}))$.
2. Каково назначение входа переноса в АЛУ?
3. Как можно использовать исследуемое АЛУ в качестве компаратора?
4. Как можно выполнить операцию инкремента?
5. Объясните последовательность выполнения операции 01010.

ЛАБОРАТОРНА РОБОТА 10

Використання цифрових пристроїв у вимірювальних приладах (час - імпульсний вимірник напруги)

Ціль роботи: Вивчити способи виміру напруги й принцип роботи цифрового вольтметра.

1. Короткі теоретичні відомості

Перетворення постійних напруг по час – імпульсному методу знайшло досить широке поширення завдяки порівняно простій реалізації цього методу. Цифрові вольтметри, засновані на цьому методі, мають погрішність 0,1- 0,05%.

Структурна схема вольтметра наведена на рис.10.1.

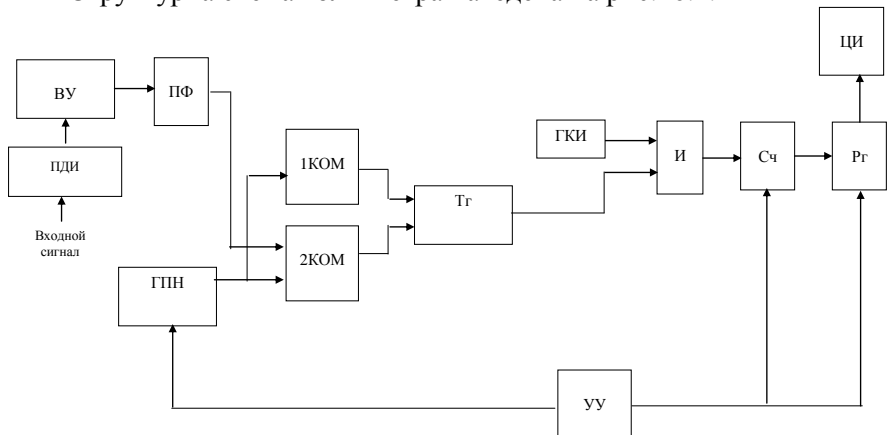


Рис.10.1. Структурна схема вольтметра

Схема вольтметра складається з наступних структурних елементів:

ПДИ - перемикач діапазонів вимірів,

ВУ - вхідний підсилювач,

ПФ - перетворювач змінної напруги в постійне (детектор) і фільтр,

1КОМ, 2КОМ - компаратори,

Тг - R-S - тригер (формує імпульс),

И - схема збігу,

ГКИ - генератор квантуючих імпульсів,

ГПН - генератор лінійно змінюється (пилкоподібного) напруги,

Сч - лічильник,

Рг - реєстр,

ЦИ - цифровий індикатор,

УУ - пристрій керування.

Принцип роботи схеми.

Вимірюваний сигнал надходить після перемикача діапазонів ПДИ на вхідний підсилювач ВУ й далі на детектор і фільтр, на виході якого одержуємо напругу, рівна середньому значенню вхідного сигналу.

Напруга із ПФ надходить на перші входи компараторів 1КОМУ й 2КОМУ, на друге входи яких подається лінійно, що змінюється напруга, із ГПН, що запускається сигналом з УУ.

Позитивний сигнал з компаратора 1КОМУ переводить тригер Тг в «1» (сигнал подається на вхід R), а спрацьовування 2КОМУ при рівності вимірюваної напруги й напруги із ГПН переводить тригер в «0». У підсумку на виході тригера Тг одержуємо позитивний імпульс, тривалість якого пропорційна вимірюваній напрузі U_x . Цей імпульс надходить на вхід схеми збігу И, на другий вхід якої надходять рахункові імпульси із ГКИ. З виходу схеми И імпульси надходять на Сч, підраховуються й далі по команді з УУ листуються в Рг. Результат виміру відображається на індикаторі ЦИ.

Принципова схема вольтметра

Принципова схема вольтметра наведена на мал.10.2.

Схема містить:

Генератор квантуючих імпульсів (ГКИ) - E1,

Генератор пилкоподібної напруги (ГПН) - E2, R1, C1, DA1, DA2, R2, R3, DA3,

Ключі - ДО1, ДО2,
Компаратор - DA4, VD1, VD2, R4, R5,
Пристрій керування - E3, DD5, DA5.
Принцип дії схеми.

Після включення схеми напруга джерела E3 замикає ключ ДО2 і розмикає ключ ДО1, тобто починає працювати ГПН, напруга з якого через інвертор (позитивне) надходить на компаратор на DA4, на інший вхід якого подається вимірювана напруга з E5. У момент рівності цих напруг компаратор спрацьовує й видає позитивна напруга (5У, одержуване за допомогою діодів VD1, VD2 і резисторів R4, R5).

У початковий момент напруга з E3 установлює лічильник і регістр у нульовий стан і подається також на тригер DD5, що встановлюється в «0». Напруга «1» з виходу \bar{Q} тригера дозволяє проходження рахункових імпульсів із ГКИ (E1) на лічильник, що вважає імпульси, що надійшли.

При надходженні на тригер напруги з компаратора тригер DD5 установлюється в «1» і імпульси на лічильник більше не проходять (осцилограма на мал. 4.8).

Підрахована кількість імпульсів лічильником відповідають вимірюваній напрузі.

При відповідному виборі частоти E1 і коефіцієнта підсилення вхідного підсилювача можна одержати різні діапазони виміру вольтметра.

За допомогою DA5 підраховане лічильником значення листується в регістр.

Цикл роботи вольтметра визначає генератор E3.

Порядок виконання роботи

1. Запустите програму *Electronics Workbench*.
2. Зберіть схему вольтметра, зображену на рис.10.2.
3. З панелі інструментів виберіть осцилограф.

4. Підключите канал "А" осцилографа до крапки А (див. мал.11.2), канал "В" до крапки В, запустите схему на моделювання й замалюйте осцилограммы.

5. Повторите п.4, підключивши канал "А" осцилографа до крапки А, канал "В" послідовно до крапок схеми З, D, Е, F, К, L, М, N.

8. Об'єднаєте всі осцилограммы на одному малюнку (щодо переднього фронту імпульсу в крапці А). Позначте на осцилограммах фазу виміру й фазу індикації.

9. Проведіть виміру постійних напруг ($U_{ВХ} = 0.5, 1, 1.5, 2, 2.5, 3.5, 4У$) і визначите абсолютну й відносну погрішність кожного виміру. Отримані результати зведіть у таблицю.

Контрольні питання (див. рис.10.2)

1. Яке призначення елементів VD1 і VD2?
2. Для яких цілей необхідні регістр і на яких елементах він побудований?
3. Як зробити індикацію трехразрядной?
4. Які сигнали порівнює компаратор і на яких елементах він побудований?
5. Який параметр схеми визначають номінали елементів C1 і R1?
5. На яких елементах побудований лічильник?
6. Визначите призначення елемента DD6.
7. Поставте у відповідність елементи на принциповій схемі вузлам на структурній схемі.
8. Який елемент необхідно додати, щоб вимірюваний сигнал міг бути будь-якої форми?
9. Які елементи необхідно додати, щоб підвищити розрядність лічильника й регістра вольтметра.

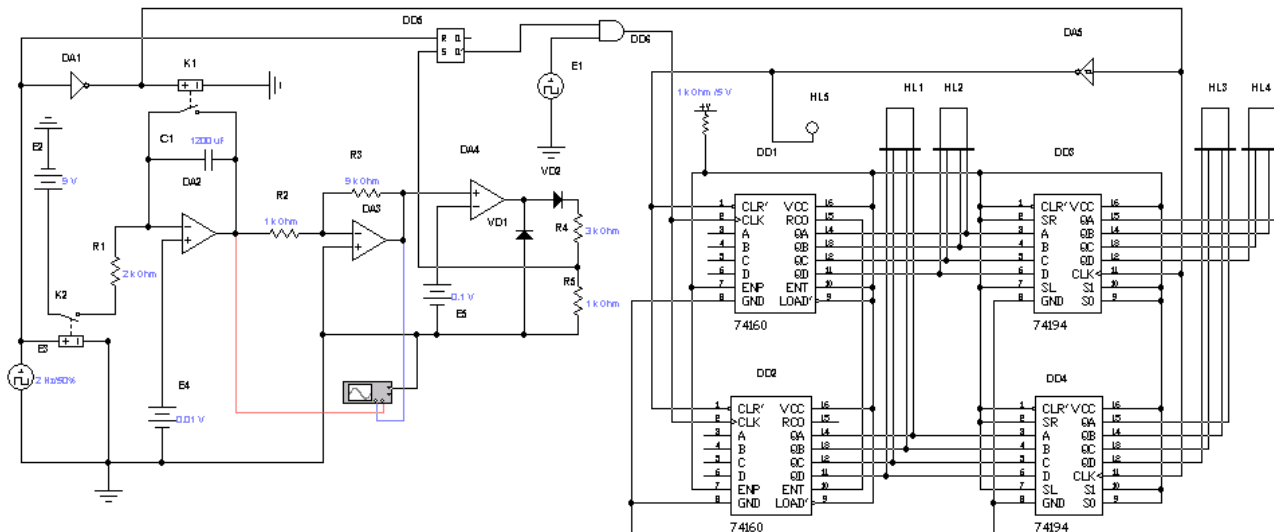


Рис.10.2.Схема принципа електрична волтметра

Список літератури

1. Корчинский А.П. Основы цифровой схемотехники.:Учебн. Пособие.–Л.: КМУГА, 2000.–276с.
2. Зубчук В.И. и др. Справочник по цифровой схемотехнике. – К.: Техника. 1990. – 448 с.
3. Алексенко А.Г., Шагурин И.И. Микросхемотехника. – М.: РиС.,1990 – 416 с
4. Угрюмов Е. П. Цифровая схемотехника. – СПб.: ВХВ – Санкт-Петербург, 2000-528с.
5. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2т./ Под общей ред. Д.И.Панфилова – М.:ДОДЕКА, 2000.
6. Справочник. Применение интегральных микросхем в электронной вычислительной технике. Под. Ред. В.Н. Файзулаева, Б.В. Тарабрина. – М.: Радио и связь, 1987. – 384с.
7. Лебедев О.Н., Мирошниченко А.И., Телец В.А. Изделия электронной техники, Цифровые микросхемы. Микросхемы памяти. Микросхемы ЦАП и АЦП : Справочник. М.:Радио и связь, 1994. – 248с.

ЗМІСТ

Загальні методичні вказівки	3
Лабораторна робота 1. Дослідження логічних функцій однієї й двох змінних	4
Лабораторна робота 2. Дослідження комбінаційних логічних схем ..	9
Лабораторна робота 3. Дослідження роботи шифраторів і дешифраторів	13
Лабораторна робота 4. Дослідження роботи мультиплексорів і демультимплексорів	18
Лабораторна робота 5. Дослідження цифрових компараторів	22
Лабораторна робота 6. Синтез і дослідження тригерів	25
Лабораторна робота 7. Синтез та дослідження регістрів	34
Лабораторна робота 8. Синтез і дослідження схем лічильників.....	41
Лабораторна робота 9. Дослідження роботи арифметико-логічного пристрою (АЛУ)	47
Лабораторна робота 10. Використання цифрових пристроїв у вимірювальних приладах (час - імпульсний вимірник напруги)	51
Перелік літератури	56