

ВИСОКОРІВНЕВЕ ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНИХ ПРОЦЕСОРІВ

Традиційно проектування комп'ютерних пристроїв виконується з використанням мов опису апаратних засобів VHDL та Verilog на архітектурному рівні подання цих пристроїв. Цей процес є досить складним та вимагає багато часу. Особливо проблематичним є проектування на основі цього підходу спеціалізованих процесорів, призначених для виконання складних алгоритмів з підвищеними вимогами до їх технічних характеристик, в першу чергу продуктивності та затрат обладнання. Постає завдання створення засобів автоматичного синтезу архітектурного опису спеціалізованих процесорів та розроблення технології їх проектування на основі цих засобів.

У роботі розглядається новий підхід до проектування спеціалізованих процесорів, який базується на системі автоматичного синтезу їх архітектурного опису та, на відміну від традиційного проектування на рівні міжрегістрових передач, передбачає опис виконуваного проектованим процесором алгоритму мовою високого рівня, окремий опис інтерфейсу процесора та його технічних характеристик, і генерування на основі цієї інформації за допомогою системи автоматичного синтезу спектру можливих варіантів процесора, їх синтез та дослідження і вибір найефективнішого за заданими критеріями.

Схема традиційного процесу проектування спеціалізованих процесорів на рівні міжрегістрових передач [1] містить такі етапи як розроблення, компілювання, відлагодження, завантаження, апаратне тестування (рис.1).

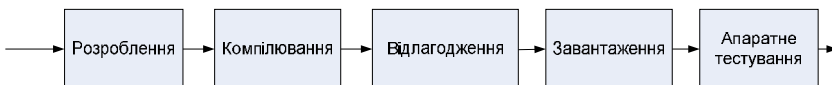


Рис. 1. Схема традиційного процесу проектування спеціалізованих процесорів

На етапі розроблення мовою опису апаратних засобів чи за допомогою графічного редактора функціональних схем створюють модель майбутнього пристрою. На етапі компілювання введені описи за допомогою засобів автоматизованого проектування перетворюють у конфігураційну біт-послідовність обраної моделі кристалу, на якому імплементують процесор. Симулювання буває двох типів: функціональне і часове. Функціональне симулювання дозволяє перевірити створений проект за допомогою стимуляції вхідних сигналів та аналізу часових діаграм вихідних сигналів. Часове симулювання перевіряє проект на відповідність заданим часовим вимогам. На етапі відлагодження завантажується створена на етапі компілювання конфігураційна біт-послідовність у конфігураційну пам'ять кристалу. Після цього етапу кристал вважається запрограмованим і готовим до тестування. Апаратне тестування – це перевірка роботи процесора на кристалі. На цьому етапі виявляють дефекти та недоліки, які будуть усунуті при поверненні до першого етапу схеми процесу проектування.

Створення програмних засобів для виконання автоматичного синтезу програмних моделей спеціалізованих процесорів із алгоритму, поданого мовою високого рівня, кардинально змінює підхід до проектування. Ці засоби дозволяють генерувати спеціалізовані процесори після подання до них алгоритму та технічних вимог до синтезованого процесора [2,3]. Подавши на вхід системи автоматичного синтезу вказані дані розробник отримує на її виході VHDL-описи процесора, які можуть бути імплементовані у кристалах різних моделей за допомогою САПР, наданих їх виробниками (Altera Quartus, Xilinx ISE і т. д.).

Найбільшими перевагами представленого підходу є максимальне скорочення та суттєве спрощення процесу проектування. В той час, як класична розробка спеціалізованих процесорів вимагає складної роботи з побудови цифрової схеми шляхом розроблення функціональних схем та написання коду мовами опису апаратних засобів, створення «тестових стендів» та тривалого і ретельного аналізу часових діаграм, система

автоматизованого синтезу генерує архітектурний опис процесора з мови С після вказівки його продуктивності та опису його інтерфейсу в конфігураційному файлі перед початком його синтезу, що дозволяє з максимальною гнучкістю підібрати потрібні параметри. При цьому алгоритм може бути написаний за допомогою будь-якого компілятора, на будь-якій операційній системі, з використанням будь-яких засобів відлагодження, які дозволяють детально та найбільш зручно відпрацювати алгоритм і відстежити коректність його роботи на всіх ключових етапах. Схема проектування спеціалізованих процесорів з використанням запропонованого підходу показана на рис.2.



Рис. 2. Схема процесу проектування спеціалізованих процесорів на основі системи автоматичного синтезу їх архітектурного опису

На універсальному комп'ютері мовою С описують алгоритм, який в результаті буде відображено в VHDL-файли апаратних засобів процесора. Разом з конфігураційним файлом, в якому налаштовують швидкодію генерованого процесора (обирають кількість паралельно працюючих АЛП), розроблений С код завантажують до системи автоматичного синтезу, яка, в свою чергу, генерує відповідно до вхідних даних файли VHDL-описів процесора. На основі цих описів створюють під конкретну модель кристалу в САПР, наданій виробником цього кристалу. На наступному етапі оцінюють характеристики процесора та, за потреби, проводять повторний синтез. Після цього проект проходить всі етапи підготовки до завантаження у кристал (компіляція, синтез, імплементація і т. д). В результаті отримують конфігураційну біт-послідовність, яку за допомогою САПР виробника завантажують до кристалу.

Тобто, використання система автоматизованого синтезу дозволяє у максимально-зручному режимі проектувати спеціалізовані процесори та вибрати серед синтезованих кращий за технічними характеристиками. При цьому розробка процесора є схожою до розробки програмних засобів, коли інженер максимально абстрагований від потреби працювати на рівні міжрегістрових передач та вирішувати питання синхронізації, конвеєризації, міжрегістрової взаємодії, тощо. Це дозволяє суттєво скоротити час проектування спеціалізованих процесорів залучати до розробки менш кваліфіковані кадри, що позитивно відобразиться на вартості проектування.

ВИКОРИСТАНІ ДЖЕРЕЛА

1. Мельник А. О., Мельник В. А. *Персональні суперкомп'ютери: архітектура, проектування, застосування: монографія.* – Львів: Видавництво Львівської політехніки, 2013. – 516 с.

2. *Chameleon – the System-Level Design Solution.* [Online]. Available: http://intron-innovations.com/?p=sld_chame.

3. Anatoliy Melnyk, Viktor Melnyk, Lyubomyr Tsyhylyk. *Chameleon© C2HDL Design Tool In Self-Configurable Ultrascale Computer Systems Based On Partially Reconfigurable FPGAs // Proceedings of the Second International Workshop on Sustainable Ultrascale Computing Systems (NESUS 2015).* Krakow, September 10-11, 2015. –P.135-142. <https://e-archivo.uc3m.es/handle/10016/22006>.